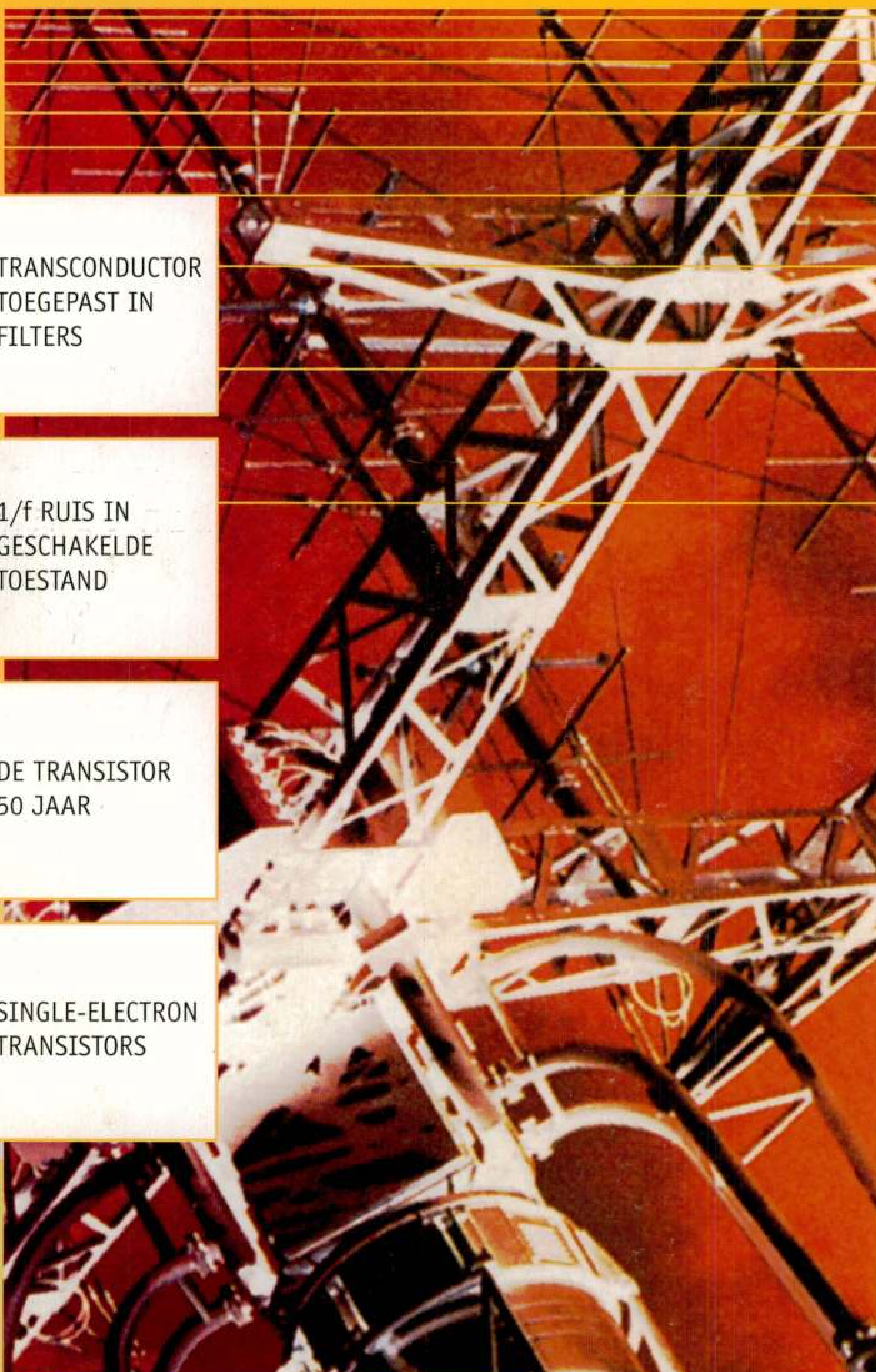
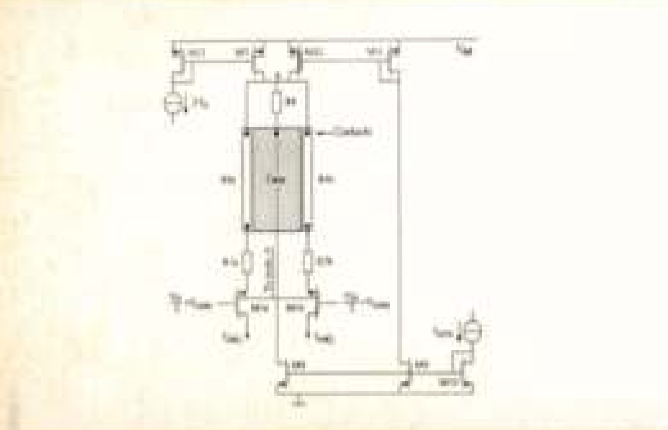
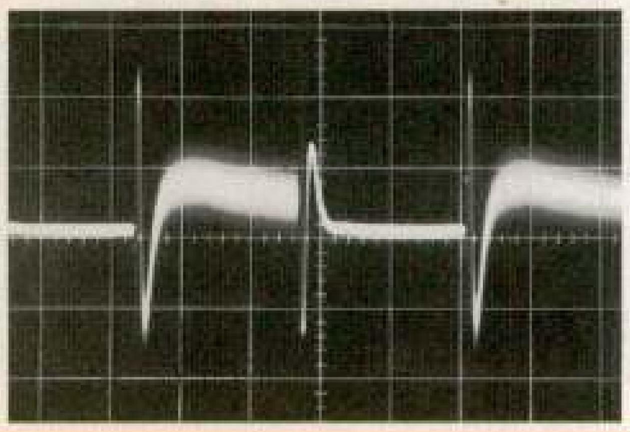
NERG

jaargang 63   nr 1   1998

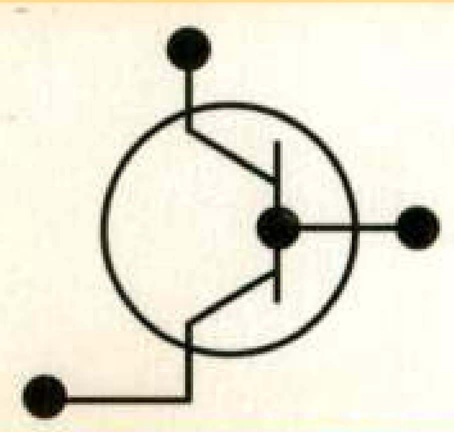




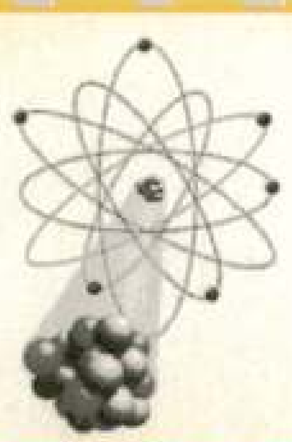
TRANSCONDUCTOR
TOEGEPAST IN
FILTERS



1/f RUIS IN
GESCHAKELDE
TOESTAND



DE TRANSISTOR
50 JAAR



SINGLE-ELECTRON
TRANSISTORS

Tijdschrift van het nederlands elektronica- en radiogenootschap

nederlands elektronica- en radiogenootschap

Nederlands Elektronica- en Radiogenootschap
Correspondentie-adres: Postbus 39, 2260 AA Leidschendam.
e-mail: secretariaat@nerg.nl
Gironummer 94746 t.n.v. Penningmeester NERG, Leidschendam.

HET GENOOTSCHAP

Het Nederlands Elektronica- en Radiogenootachp (NERG) is een wetenschappelijke vereniging, gericht op elektronica, telecommunicatie en informatieverwerking.
Het doel van het NERG is om het wetenschappelijk onderzoek op deze gebieden te bevorderen en de verbreiding en toepassing van de verworven kennis te stimuleren.
(Internet WWW-site: www.nerg.nl)

BESTUUR

LIDMAATSCHAP

Voor het lidmaatschap wende men zich via het correspondentie-adres tot de secretaris. Het lidmaatschap van het NERG staat open voor academisch gegradueerden en anderen, die door hun kennis en ervaring bij kunnen dragen aan het genootschap. De jaarlijkse contributie bedraagt voor gewone leden *f* 75,- en voor junior leden *f* 39,-. Bij automatische incasso wordt *f* 3,- korting verleend.
Gevorderde 1e fase studenten en 2e fase studenten komen in aanmerking voor het junior lidmaatschap en kunnen daartoe contact opnemen met de contactpersoon op hun universiteit.
In bepaalde gevallen kunnen ook andere leden, na overleg met de penningmeester, voor een gereduceerde contributie in aanmerking komen.
De contributie is inclusief abonnement op het Tijdschrift van het NERG en deelname aan vergaderingen. Lezingen en excursies.

HET TIJDSCHRIFT

Het tijdschrift verschijnt gemiddeld vijf maal per jaar . Opgenomen worden artikelen op het gebied van de elektronica en de telecommunicatie. Auteurs, die publicatie van hun onderzoek in het tijdschrift overwegen, wordt verzocht vroegtijdig contact op te nemen met de hoofdredacteur of een lid van de redactiecommissie.

REDACTIECOMMISSIE

ISSN 03743853

LEDENONDERZOEK NERG

Motivatie

In 1997 heeft een ledenonderzoek plaatsgevonden. Doel van dit onderzoek was het nagaan of de opzet en de inhoud van de werkvergaderingen en Het Tijdschrift nog in voldoende mate aansluiten bij de huidige wensen van de leden van het NERG. Het onderzoek diende als basis voor het heroverwegen van het huidige beleid, binnen de door de randvoorwaarden van het NERG begrensde ruimte, inzake de dienstverlening aan de leden.

Uitvoering

Het onderzoek heeft in mei 1997 plaatsgevonden door middel van een schriftelijke enquête onder 300 aselect gekozen NERG-leden.
Er zijn 124 bruikbare lijsten teruggestuurd, een respons van 41%. Dit is een normaal percentage bij dit soort onderzoeken. Op basis van een nadere statistische analyse van de respons gaat het bestuur uit van de veronderstelling dat relatief meer leden geïnteresseerd in de dienstverlening hebben gereageerd en dat de resultaten van het onderzoek gebruikt kunnen worden als basis voor een eventuele verbetering van de bestaande dienstverlening.
Het aantal studenten dat heeft gereageerd, is dermate klein, dat er op basis van dit onderzoek geen conclusies met betrekking tot deze groep kunnen worden getrokken. De betrokkenheid van studenten bij het NERG zal apart door het bestuur worden bekeken.

Resultaten

Werkvergaderingen:

Het overgrote deel van de respondenten is van mening, dat de werkvergaderingen een waardevol onderdeel zijn van het NERG-lidmaatschap. De onderwerpen worden als actueel beoordeeld.
Ongeveer de helft vindt dat de werkvergaderingen bijdragen aan het op de hoogte blijven van de ontwikkelingen in het vakgebied. Het gemiddelde rapportcijfer voor de werkvergaderingen is een 7,5.
Uit de verschillende reacties blijkt, dat er een algemene behoefte is aan het verhogen van de kwaliteit van de lezingen, meer inhoudelijk en goed gepresenteerd.
Er lijkt een tweedeling te zijn in de redenen om een werkvergadering te bezoeken: de post-actieven geven als reden vooral de informele contacten en bijhouden van het vakgebied, terwijl de groep actieven meer geïnteresseerd blijkt te zijn in wetenschappelijk contacten. Deze tweedeling kan ook worden herkend in de voorkeuren voor het tijdstip en de lengte van de vergaderingen. De lokaties waar de werkvergaderingen worden gehouden, zijn daarnaast een belangrijk punt van aandacht.

Het Tijdschrift:

De meerderheid van de respondenten is van mening, dat het Tijdschrift een waardevol onderdeel is van het NERG-lidmaatschap. Vooral de kwaliteit van de artikelen, de actualiteit en de wetenschappelijke waarde scoren hoog. Het gemiddelde rapportcijfer is 7,0.
Naast de positieve indruk over de inhoud van het Tijdschrift geven vele respondenten te kennen niet zo tevreden te zijn met de vormgeving, de leesbaarheid en de autoriteit. Met betrekking tot nieuwe rubrieken voor het Tijdschrift scoren recensies, populairwetenschappelijke artikelen en een discussiepagina het hoogst. Er bestaat bij het grootste deel van de respondenten geen bezwaar tegen reclame en/of personeelsadvertenties.
Een apart punt van aandacht voor de redactie is de vraag op welke wijze de samenvattingen van proefschriften in het Tijdschrift het beste kunnen worden opgenomen.

Conclusies

Werkvergaderingen:
Het bestuur meent op grond van de resultaten van het ledenonderzoek, dat de werkvergaderingen een essentieel onderdeel moeten blijven van het dienstenpakket van het NERG. Om een kwalitatief hoogwaardig aanbod te blijven leveren, dat recht doet aan de verschillende interesses binnen het NERG, wil het bestuur streven naar ongeveer hetzelfde aantal werkvergaderingen. Hierbij zal ernaar worden gestreefd een aantal werkvergaderingen, binnen de grenzen van de beschikbaarheid van "zwaardere" sprekers op basis van vrijwilligheid, op een hoger niveau te brengen.

Het Tijdschrift

Het reeds in 1997 genomen besluit om de omslag van het Tijdschrift te verbeteren, sluit aan bij de wensen van de respondenten. Uit de enquête blijkt dat een verdere verbetering van de vormgeving zeer gewenst is.

Het bestuur heeft daarom de redactiecommissie aangemoedigd, met kracht verder te gaan met het uitwerken van verschillende mogelijkheden om het Tijdschrift levendiger te maken. In eerste instantie zal hierbij worden uitgegaan van een kosteloze medewerking van de redactiecommissie en andere contribuanten om de kosten van het Tijdschrift binnen de bestaande budgetruimte te houden. Mochten hierdoor de mogelijkheden van de vernieuwing van de vormgeving worden beperkt, dan zal het bestuur zich op dit uitgangspunt nader beraden.

W. van der Bijl
19 januari 1998

EEN BERICHT VAN DE REDACTIE BIJ DE RESULTATEN VAN HET LEDENONDERZOEK BETREFFENDE HET TIJDSCHRIFT VAN HET NERG

Wanneer er een enquete gehouden wordt onder de groep afnemers van een produkt, dan is dat meestal omdat er op z'n minst enige twijfel is aan de waardering door de afnemers van dat produkt. Waar het in dit geval ons Tijdschrift betreft, was dat voor de redactie zeker zo. Nu ligt er dan sinds enige tijd een resultaat in de vorm van antwoorden op een aantal vragen, aangevuld met een reeks open antwoorden. Het onderzoek is professioneel uitgevoerd door een op dat gebied goed bekend staand bureau, dus er behoeft weinig discussie te zijn over de betrouwbaarheid en representativiteit van het resultaat.

Ook vóórdat de enquête werd gehouden was de redactie zich er van bewust, dat er tal van punten waren waarop het Tijdschrift zou kunnen worden verbeterd. De uitkomst van dit onderzoek geeft ons een beeld van hetgeen de lezer graag zou willen zien. Maar bovenal geeft het onderzoek aan, waar we nu ergens staan in de ogen van de lezer.

De hoofdconclusies die in de samenvatting van het rapport staan, duiden er op dat er bij de leden een redelijke mate van tevredenheid bestaat ten aanzien van het Tijdschrift. Kijkend naar wat als sterke punten worden genoemd, zou de redactie zelfs tevreden kunnen zijn:

- het Tijdschrift is inhoudelijk interessant
- de kwaliteit van de artikelen is goed
- de actualiteit van de artikelen is goed.

De redactie vindt het ook een positief resultaat, dat 85% van de geënquêteerde leden de stelling onderschrijft dat het Tijdschrift een waardevol onderdeel van het NERG-lidmaatschap is.

De resultaten betreffende de aspecten leesintensiteit en leesduur geven echter voeding aan enige twijfel over de waardering die de lezers voor het Tijdschrift hebben. Voor een objectieve beoordeling zou men die gegevens overigens moeten vergelijken met de leesintensiteit van andere gedrukte media. Misschien is de uitkomst dan nog niet eens zo slecht.

Bij een positieve benadering van dit deel van de onderzoeksresultaten zou men er op kunnen wijzen, dat bijna alle respondenten minstens van tijd tot tijd een heel artikel lezen.

Dit jaar gaat de 63e jaargang van het Tijdschrift in: vóór u ligt deel 63 nummer 1. Wanneer men alle voorgaande jaargangen doorbladert, kan men vaststellen dat onze voorgangers redacteuren spaarzaam zijn omgegaan met het introduceren van vernieuwingen in de verschijningsvorm van het Tijdschrift. De huidige redactie heeft ook in de afgelopen jaren terughoudendheid betracht bij het aanbrengen van veranderingen. Bij een tijdschrift met een zo lange traditie dient men zo'n stap naar onze mening weloverwogen te nemen.

In de Algemene Ledenvergadering van 1997 werd aangekondigd dat er een begin zou worden gemaakt met vernieuwing van de vormgeving. Dat voornemen blijkt dus goed aan te sluiten op de wensen van de leden. Het besluit tot vernieuwing betrof in eerste instantie alleen de omslag van het Tijdschrift. Er werd daatoe een opdracht aan een professioneel ontwerpbureau gegeven en dat leidde tot het resultaat dat u thans bij dit nieuwe nummer kunt zien. De opeenvolgende jaargangen van het Tijdschrift zullen worden gemarkeerd door telkens een andere kleurenafbeelding te gebruiken.

Hiermee is echter nog niet bereikt dat de algehele vormgeving wordt veranderd. Het is u bekend dat de opmaak van het Tijdschrift sinds ongeveer één jaar geheel in eigen beheer wordt verzorgd. Daartoe kon besloten worden gezien de huidige mogelijkheden voor elektronische tekstopmaak; bovendien vormde het een duidelijke reductie van de kosten.

Eén en ander houdt in, dat er zeer wel mogelijkheden worden gezien om nog verdere verbeteringen van de verschijningsvorm van het Tijdschrift door te voeren, al is het dan niet op een hoog professioneel niveau. Voor wat betreft de grafische kwaliteit van illustraties zijn we in grote mate afhankelijk van het toegeleverde materiaal. In het streven naar verbetering zal aan het beeldmateriaal maximale aandacht worden besteed.

Tot zover betekent de voorgenomen vernieuwingsslag voornamelijk een iets ruimer budget voor de produktie van het Tijdschrift. De begeleidende activiteiten zullen door de redactie in z'n huidige samenstelling gerealiseerd kunnen worden.

Iets anders is het inhoudelijke aspect van het Tijdschrift. De redactie staat zeker open voor punten van kritiek, welke neerkomen op een wat bezadigde,

voorspelbare en mogelijk wat saaie inhoud. Bijna de helft van de respondenten vindt dat het Tijdschrift wat luchtiger zou moeten worden. Daarbij stuiten we echter wel op een probleem en dat vraagt een toelichting.
De wens naar een wat luchtiger algehele opzet van het Tijdschrift dient naar onze mening zó opgevat te worden, dat men daarin naast de 'degelijke' artikelen van een goed niveau óók andere rubrieken aantreft, welke de inhoud levendiger maken. Het probleem is nu, dat dit voor de redactie alléén niet realiseerbaar is. De huidige praktijk is dat de redactie de handen vol heeft het voorbereidende en uitvoerende werk, zoals: aquisitie van copy, de beoordeling daarvan, de correspondentie en het afdruk-gereed maken van de tijdschriftnummers.
Dit betekent echter niet dat de redactie niet de wens zou delen om te komen tot een andere inhoudelijke opzet. Ter illustratie enige mogelijkheden die binnen de redactie reeds aan de orde zijn geweest:

- het plaatsen van artikelen die de lezer prikkelen om daarop te reageren
- het, buiten het kader van de werkvergaderingen, actief benaderen van instellingen en personen met de uitnodiging om te publiceren
- het opnemen van korte, informele verslagen of impressies van de werkvergaderingen
- het aan de orde stellen van actuele of anderszins interessante vragen of problemen, waarop de lezers kunnen reageren
- het benutten van mogelijke interacties met Internet
- het afnemen van interviews bij mensen die bijvoorbeeld een interessant onderzoek doen, hierbij ook te denken aan promovendi.

Dit laatste punt is al wat verder uitgewerkt en heeft ook relatie met het jaarlijks verschijnende speciale nummer van het Tijdschrift, gewijd aan samenvattingen van alle proefschriften van het afgelopen academische jaar in het vakgebied Elektrotechniek. Dat speciale nummer geeft dan ook een goed overzicht van het onderzoek dat in ons vakgebied aan de Nederlandse universiteiten wordt uitgevoerd.

Uit de enquête blijkt dat dit zeker gewaardeerd wordt. Echter, het is de redactie ook niet ontgaan dat dit laatste nummer wat saai is en het nogal tijdrovend is om te lezen. Daarom zullen er vanaf dit jaar een aantal structurele verbeteringen worden doorgevoerd in het laatste nummer van de jaargang, te weten:
* Duidelijke indeling van de proefschriften in onderzoeksgebieden in plaats van een chronologische indeling. Hierdoor kan de lezer, die alleen in een bepaald vakgebied geïnteresseerd is, in één oogopslag zien wat er aan onderzoek gedaan is.
* Toevoegen van enkele interviews met promovendi over hun werk en toekomstplannen.

Wij gaan er van uit, dat ook in de nabije toekomst alle activiteiten verband houdend met de voorbereiding van nieuwe nummers van het Tijdschrift op basis van kosteloze medewerking zullen worden verricht. Het is beslist nodig dat het beschikbare budget vrijwel geheel kan worden besteed aan de kosten voor productie en verzending van het Tijdschrift. Alleen op deze manier kan het NERG zich veroorloven een eigen tijdschrift uit te brengen.

De voorgaande toelichting maakt duidelijk, dat de redactiecommissie de medewerking nodig heeft van NERG-leden om ook maar iets van de voorgenomen vernieuwingen gestalte te kunnen geven. Wat ons in eerste instantie voor ogen staat is het vormen van een groepje *correspondenten*. Wanneer men zich daarvoor beschikbaar stelt, betekent het niet dat men daarmee vaste verplichtingen op zich neemt. Een correspondent verklaart zich bereid om incidenteel mee te werken, bijvoorbeeld door na een verzoek daartoe van de redactie een bijdrage te leveren op basis van een interview c.q. verslag te doen van een werkvergadering.
Verder wordt aan alle leden gevraagd om bijdragen te leveren, bijvoorbeeld in de vorm van ingezonden brieven of mededelingen, die kunnen helpen het Tijdschrift te verlevendigen.
De redactie wil u desgewenst met raad en daad bijstaan. Zie ook onze oproep op pagina 32 van dit nummer.

De redactiecommissie.

Ing. A.A. Spanjersberg, voorzitter
Ir. L.K. Regenbogen
Dr.Ir. A.B. Smolders

A CMOS 'SOFT-SWITCHED' TRANSCONDUCTOR AND ITS APPLICATION IN FILTERS

Clemens H. J. Mensink

Abstract

This paper presents a transconductor suitable for implementation in sub-micron CMOS technology. The transconductor is nearly insensitive for the second order effects of the MOS transistors, which become more and more prevalent in today's sub-micron processes. The transconductor relies on a differential pair with variable degeneration resistance, while the degeneration resistors are 'soft-switched' by means of MOS transistors. The transconductance is continuously tunable. A new device in which the degeneration resistors and 'soft-switches' are merged is discussed. Besides, a third-order 5.5 MHz low-pass filter has been realized in a 0.5 μm CMOS process using the 'soft-switched' transconductor. At a 3.3 V supply voltage the filter dissipates 12 mW and the dynamic range equals 62 dB where the THD is -48 dB for an input voltage of 1 Vpp.

1 Introduction

Over the last three decades the integration of electronic circuits on a silicon substrate has made an enormous step forward and nowadays the miniaturization has still not reached its end. High component density, particularly for digital CMOS circuits, can be obtained. Therefore more and more signal processing functions are implemented by digital circuitry since it often requires less chip area and power compared to an analogue implementation of the same function. Remaining analogue functions on a mixed-signal IC realized in a sub-micron CMOS technology are for example: A/D and D/A conversions, amplification, buffering, clock generation and some filter functions.

Basic building blocks in many analogue sub-systems are transconductors, also called voltage to current (V-I) converters. Transconductors are well suitable in variable gain stages required for automatic gain control (AGC), and in continuous-time filters implemented with the transconductance-C technique. These kind of filters can be used for example as an anti-aliasing filter before a high speed A/D converter.

This paper presents a continuously tunable transconductor suitable for high frequency applications. It has a very low sensitivity for the MOS transistors second order effects, which makes it therefore suitable for realization in a sub-micron CMOS technology. In section 2 the design considerations will be discussed. In section 3 the operation principle of the 'soft-switched' transconductor will be explained. The transconductor core can be implemented in a very compact way with a new device in a standard CMOS process without any extra process options. This merged device, in which the degeneration resistors and 'soft-switches' are combined, is shown in section 4. Section 5 deals with a third-order 5.5 MHz low-pass gm-C filter. The filter has been realized in a 0.5 μm CMOS process and can be used as an anti-aliasing filter before a high speed A/D converter. Finally in section 6 the conclusions are drawn.

2 Design Considerations

Nearly every published analogue tunable transconductor in CMOS technology relies on the MOS transistor characteristics and makes use of the linear [1] or square-law [2], [3] behavior between the drain current and the gate-source voltage. Unfortunately, in a sub-micron process with relatively low oxide-thickness and high substrate dopes, the transistor's second order effects like mobility reduction and velocity saturation become more and more prevalent. Therefore the transistor characteristics deviate significantly from the ideal behavior. This results, especially for a square-law converter [2] and a passive triode converter [4], in

relatively high distortion levels in combination with a reduced transconductance tuning range. However, the performance of an active triode converter decreases mainly with respect to the linearity rather than the tuning range [5].

It is shown in [6] that mobility reduction linearizes a long tailed pair. However, it decreases the maximum transconductance. In order to maintain a certain tuning range, the long tailed pair must operate in moderate (or even weak inversion) at the lowest transconductance values. Consequently, the distortion increases for a constant input voltage amplitude.

To overcome these problems, basically three design strategies can be applied:

1) Compensation techniques can be used in order to compensate at least for the most dominant non-linearity. Generally compensation techniques are not robust against mismatch and usually decrease the dynamic range per unit of power. Furthermore, the cause of the most dominant non-linearity is biasing and technology dependent. Although compensation techniques can improve the linearity [5], [7], [8], they are usually not preferable.

2) The signal voltage swing over a non-linear device can be reduced so that a "small-signal" approach is valid. In this way distortion is hardly generated and the effect of mismatch will be small. However, a small signal approach implies that the bias current is significantly larger than the signal current which can result in a noisy transconductor and a low dynamic range per unit of power as well. Special care has to be taken to avoid this problem.

3) Instead of MOSFETs, linear devices can be used such as resistors. The linearity of resistors is usually sufficient and much better than that of a MOS transistor. Besides, a resistor requires no bias current. As a disadvantage, the resistance is not electrically tunable.

A combination of the techniques mentioned under *2)* en *3)* is presented in [9] where a circuit containing resistors, MOSFETs and op-amps is used. The MOSFETs only handle small signals in order to keep the distortion low. The tuning is achieved by shunting or subtracting input signals however this basically lowers the dynamic range for a given amount of power. In general, at high-frequencies op-amps are not very useful due to their negative effect on the transconductor's phase behavior.

Considering the above mentioned facts, a new transconductor was developed using resistors and transistor. The transistors are used in such a way that the small-signal approach is valid as much as possible resulting in a small non-linearity contribution. The following section will describe the operation principle of the new 'soft-switched' transconductor.

3 Operation principle of the 'soft-switched' transconductor

The schematic diagram illustrating the transconductor principle is depicted in figure 1 and is basically a degenerated differential pair.

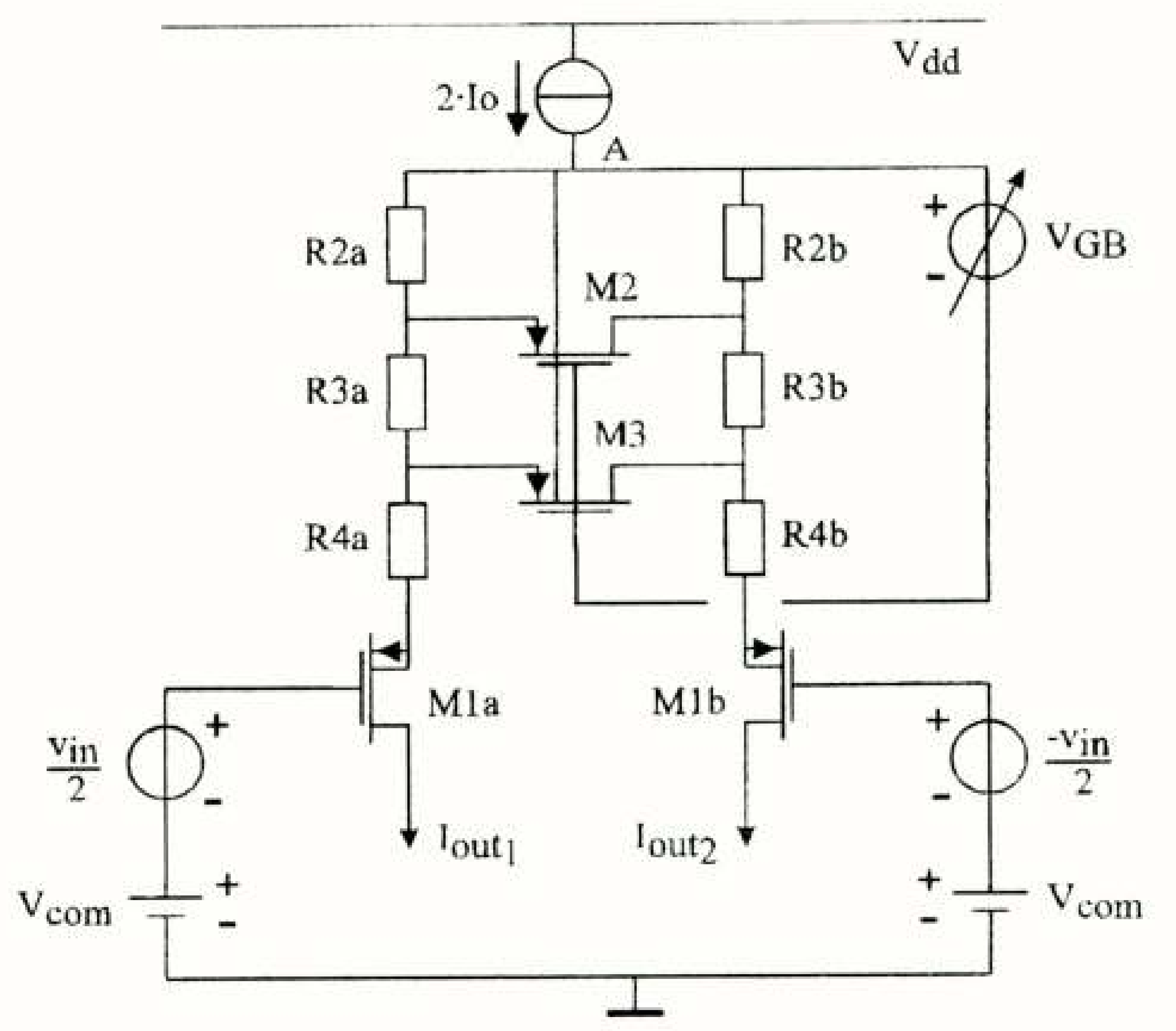


Figure 1. Schematic diagram of the 'soft-switched' transconductor principle

The tuning of the circuit is realized via the voltage V_{GB}. The degeneration resistance can be gradually varied by means of 'soft-switched' transistors M2 and M3, in this way a continuously tunable transconductance is obtained [10], [11].

The gates of the 'soft-switches' (M2 and M3) are connected to the same node. Because of the DC-voltage drop over the resistors R3a,b, which is equal to $R3 \cdot Io$, the effective gate source voltages of M2 and M3 differ in such a way that:

$$\left|V_{GS_{eff2}}\right| > \left|V_{GS_{eff3}}\right| \qquad (1)$$

This condition is always valid thanks to the topology of the circuit. Therefore, M2 conducts before M3 for increasing values of V_{GB}. Since the source and drain of the transistors M2 and M3 are symmetrically used, they are interchangeable.

The back-gates of these transistors are connected to node A. Due to the body-effect, the threshold voltage of M3 (V_{T3}) is larger than the threshold voltage of M2 (V_{T2}) since V_T is equal to:

$$V_T = V_{T0} + \delta \cdot V_{SB} \qquad (2)$$

where V_{T0} is the threshold voltage at V_{SB}=0 V and δ is the linearized body-effect parameter. So, the body-effect of the 'soft-switches' further increases the differences of the effective gate source voltages but is *not* essential for a correct operation of the circuit.

For low values of V_{GB} where M2 and M3 do not conduct, the input transistors are maximally degenerated by R2, R3 and R4. For increasing values of V_{GB} when M2 starts to conduct, the resistors R2a and R2b are more or less shunted by M2. Therefore the effective degeneration resistance decreases, resulting in a higher transconductance value. By further increasing V_{GB}, R3a and R3b are shunted by M3. The minimum degeneration resistance is determined by R4 and the lowest value of r_{ds3}. Only two 'soft-switches' are drawn in figure 1, but the number can be increased.

Now, the distortion behavior of the transconductor is discussed. For a V_{GS2} value close to V_{T2}, M2 turns on and is in non-saturation for v_{in}=0 V. A non-zero input signal will enforce v_{ds2} unequal to zero and brings transistor M2 into saturation which causes a slightly too large signal output current compared to a perfectly linear device. The non-linear current through M2 depends strongly on its drain-source voltage. Fortunately, v_{ds2} is only a fraction of v_{in} due to the resistive divider $R2/(R2+R3+R4+1/g_{m\text{-}M1})$ keeping the distortion relatively low. However, for a very low value of R2 compared to the total degeneration resistance, the transconductance tuning due to M2 will also be small. For higher values of V_{GB}, M2 will stay in non-saturation and is basically a linear device by itself.

A further increase of V_{GB} will turn on M3. Due to the drain-source resistance of M2 the voltage swing over the drain-source of M3 is lower than expected from the resistive divider (R2+R3)/(R2+R3+R4). The actual resistive division is nearly equal to R3/(R3+R4), resulting in a fairly low overall distortion contribution of M3.

If all the 'soft-switches' are turned on, the effective degeneration resistance is lowered, resulting in a smaller input window of the converter. Consequently, for a constant input voltage amplitude the distortion of the converter increases. This implies that trade-off must be made between the maximum input voltage swing that can be handled and the tuning range. In an AGC this trade-off is of minor interest since the input voltage swing decreases for increasing values of the transconductance.

Since the transistors are more or less used as a switches, only the *first* order characteristics of the transistors affect the *second* order effects of the transconductor whereas the *second* order effects of the transistor are hardly of interest. This makes the transconductor suitable for implementation in a modern sub-micron CMOS process.

4 The transconductor implemented with a merged device

Taking a closer look at the CMOS process it appears that both a diffusion resistor and the source and drain of a transistor are made of diffusion areas. This gives the opportunity to combine the degeneration resistors and the 'soft-switches' in a so called 'merged device' [11]. The *total* degeneration resistance determines the minimum transconductance. However, it is less obvious how many discrete 'soft-switches' are needed for a smoothly varying transconductance. In fact an infinite number of 'soft-switches' could be taken. It appears that the degeneration resistors and 'soft-switches' can be elegantly combined.

The source and drain of a MOS transistor consists of highly doped diffusion areas. These diffusion areas are of N type for NMOS transistors and P type for PMOS transistors. Normally the diffusion areas are contacted over the entire area by a low ohmic layer, e.g. metal, in order to get a homogeneous current distribution along the width of the transistor. A diffusion resistor consists of the same N or P type diffusion areas as the source and drain of a transistor. However, a resistor is only contacted at the very ends of the structure. Without extra process options, it is possible *not* to cover the source and drain areas of the transistor with a low ohmic layer. Consequently the source and drain can also simultaneously be used as resistors. This gives the opportunity to combine the degeneration resistor and the 'soft-switches'.

Figure 2 shows the transconductor with the merged tuning device. The merged device is drawn correspondingly to the top-view of the chip-layout. The source and drain at the left and right side of the gate are used as degeneration resistors as well. These resistors (R9) are only contacted at the top and bottom. The position of the gate contact is of less importance since no DC currents flows through the gate. A construction with current flowing along the gate, and thus causing a voltage gradient, is imaginable but appears to be impractical and decreases the power efficiency.

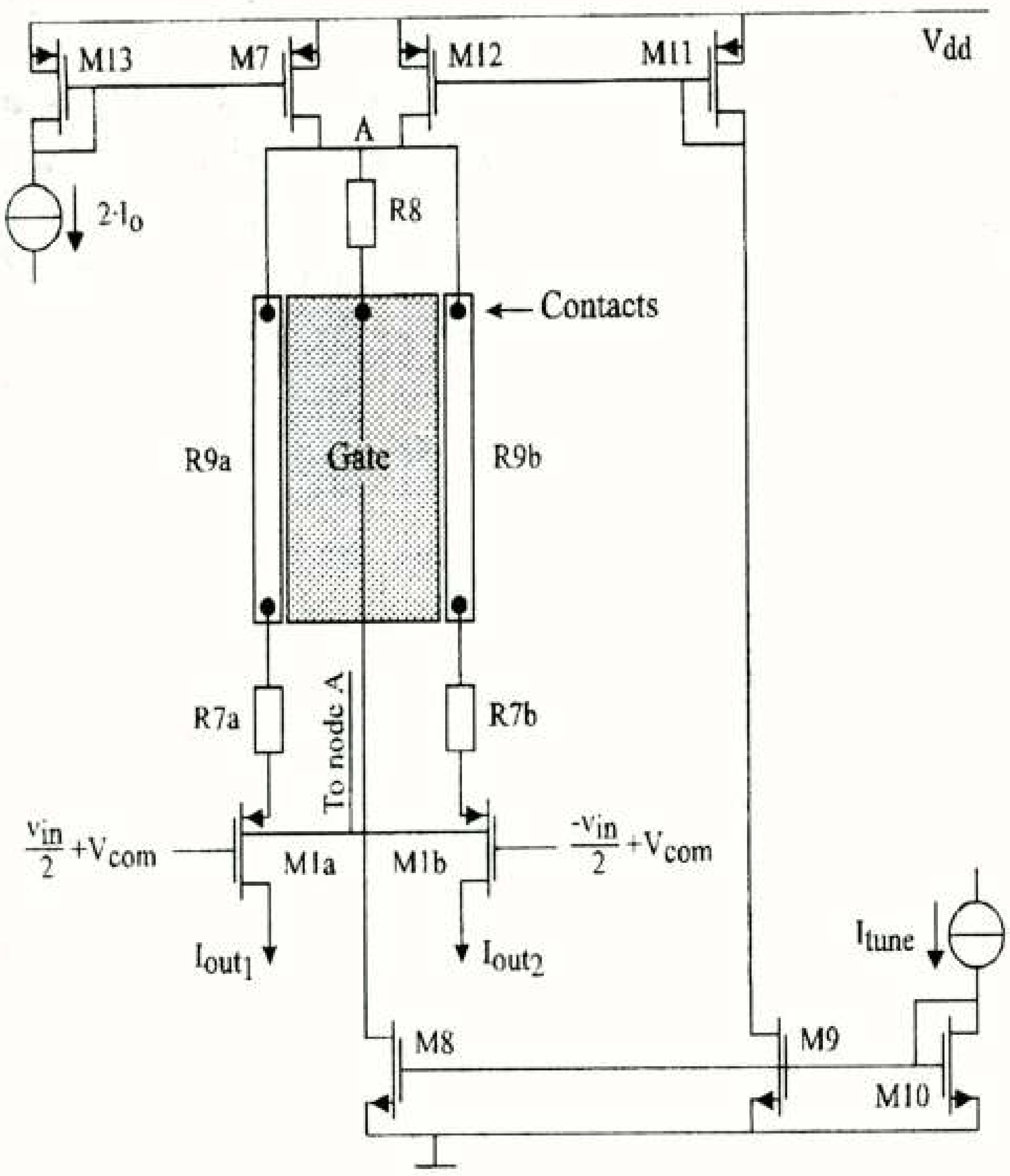


Figure 2. Schematic diagram of the transconductor used with a merged device; R9a and R9b are also the source and drain diffusions of the 'soft-switches'.

Due to the current *Io* there is a voltage drop over the resistors R9, therefore the absolute value of the effective gate-source voltage going from top to bottom decreases gradually. Besides, due to the body-effect, the threshold voltage of the merged device increases along the resistors R9 from top to bottom. The N-well is connected to node A. For an increasing tune current the potential of the gate decreases and an inversion layer underneath the gate occurs at the top first and 'grows' to the bottom. The signal current flows vertically through the resistors R9 and horizontally through the inversion layer. Due to the small width of the merged device (which is conventionally the length of the transistor) compared to the length of the merged device (which is conventionally the width of the transistor), the vertical or diagonal currents through the inversion layer are negligible. Using the merged device, the transconductor has actually been realized with an *infinite* number of 'soft-switches'. Similar structures of a gradually varying degeneration resistance are also known in bipolar technology [12], [13]. In these structures a control currents flows through a resistive base or emitter of a bipolar transistor, resulting in a infinite number of 'diodes' that continuously tap along the degeneration resistor.

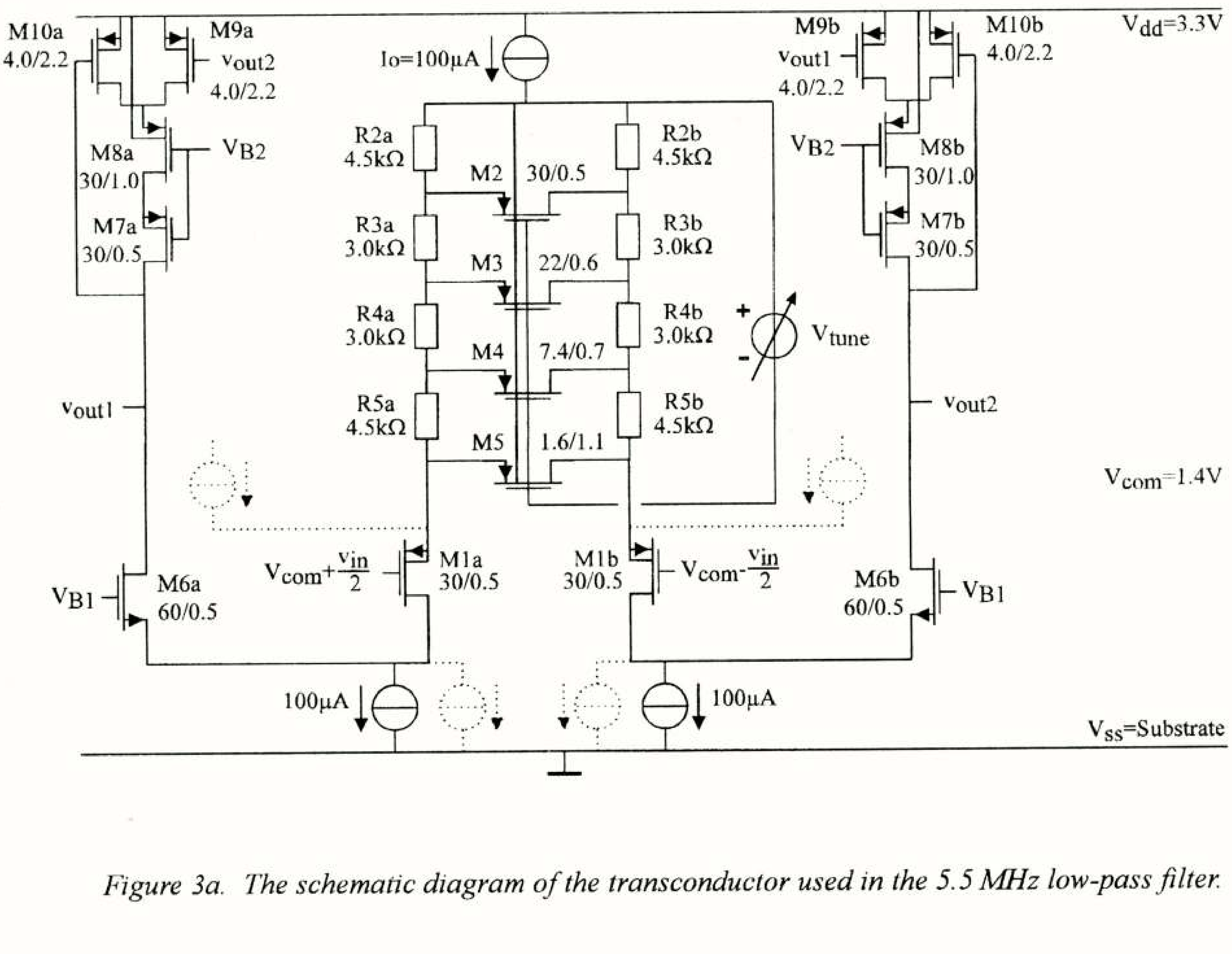


Figure 3a. The schematic diagram of the transconductor used in the 5.5 MHz low-pass filter.

5 The third-order 5.5 MHz low-pass filter

The transconductor is used in a 5.5 MHz low-pass filter. The filter can be used as an anti-aliasing filter for a video A/D converter [14]. Since the cut-off frequency is constant, the tuning-range of the filter must be sufficient to overcome absolute process and temperature variations. Taking the spread of transistors, resistors and capacitors into account the tuning-range must be plus and minus 50%.

The transconductor schematic used in the filter is given in figure 3a. The core consist of the 'soft-switched' structure. A folded cascode and a common mode control circuit are added. The transistors M9 and M10 operate in the non-saturation region. The bias voltages V_{B1} and V_{B2} are properly applied by means of a bias circuit.

The implementation of the voltage source V_{tune} is given in figure 3b. The tuning is realized via I_{tune}. The tail current I_O is compensated for I_{tune} so that the biasing of the circuit does not change. For increasing transconductance values, the current modulation of the input transistors M1a,b increases. Without extra measures these transistors would dominate the overall distortion figures. Therefore extra DC currents, proportional to the tune current, are injected in the sources of the input transistors. The four extra current sources (dashed lines in figure 3a) are copies of I_{tune} and have a maximum value of 50 μA.

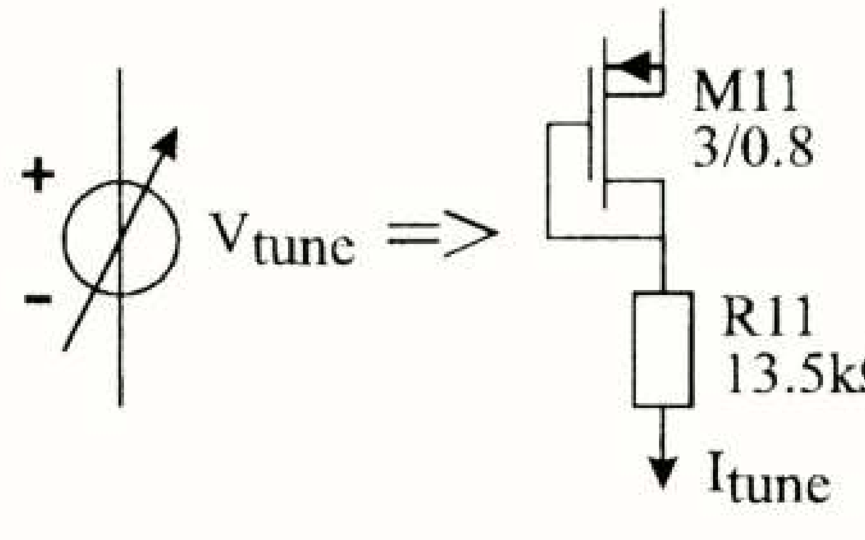


Figure 3b. The implementation of the tune voltage source: V_{tune}.

In this design the noise of the transconductor is mainly determined by the current sources of the folded cascodes and the common mode circuit. The noise current of the core of the transconductor is relatively low. The 'soft-switches' produce only thermal noise and no 1/f noise since the DC current is zero. If $v_{in} \neq 0$ the voltage noise at the gates of the 'soft-switches' introduce some current noise in the signal path.

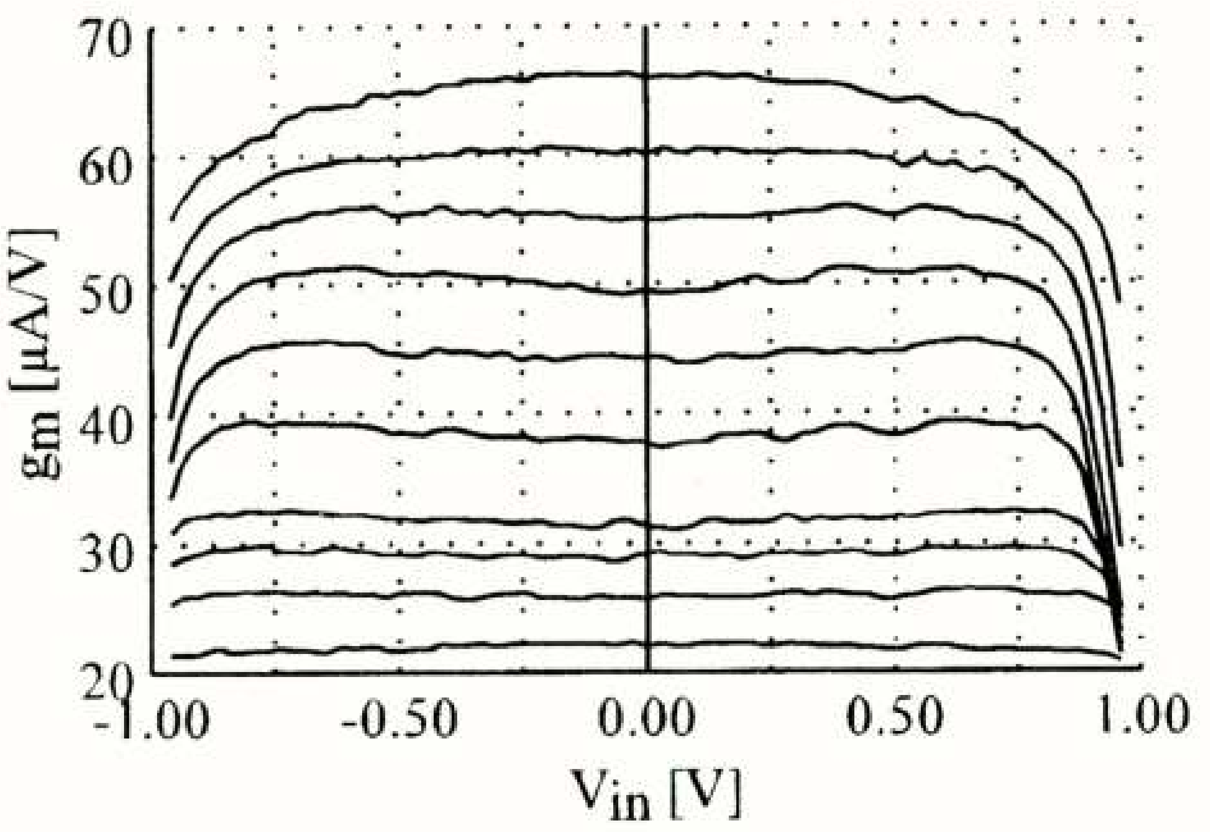


Figure 4. The transconductance versus input voltage for various tune currents of the transconductor shown in figure 3a.

The transconductance was measured versus v_{in}, the measurement results are given in figure 4. The transconductance is tunable over a factor 3, which is equal to plus and minus 50%. Thanks to the extra bias currents at relatively high transconductance values, the transconductance roll-off is somewhat reduced. The worst case THD of the transconductor for an input voltage of 1 V_{ppdiff} and a frequency of 1 kHz is -48 dB.

The third-order 5.5 MHz low-pass Bessel filter has been realized in a 0.5 μm double poly N-well CMOS process. A passive prototype circuit is given in figure 5. The filter has an extra notch for improved stop-band damping, the notch is implemented with C3. Furthermore, the group delay variation is small which is required for the application.

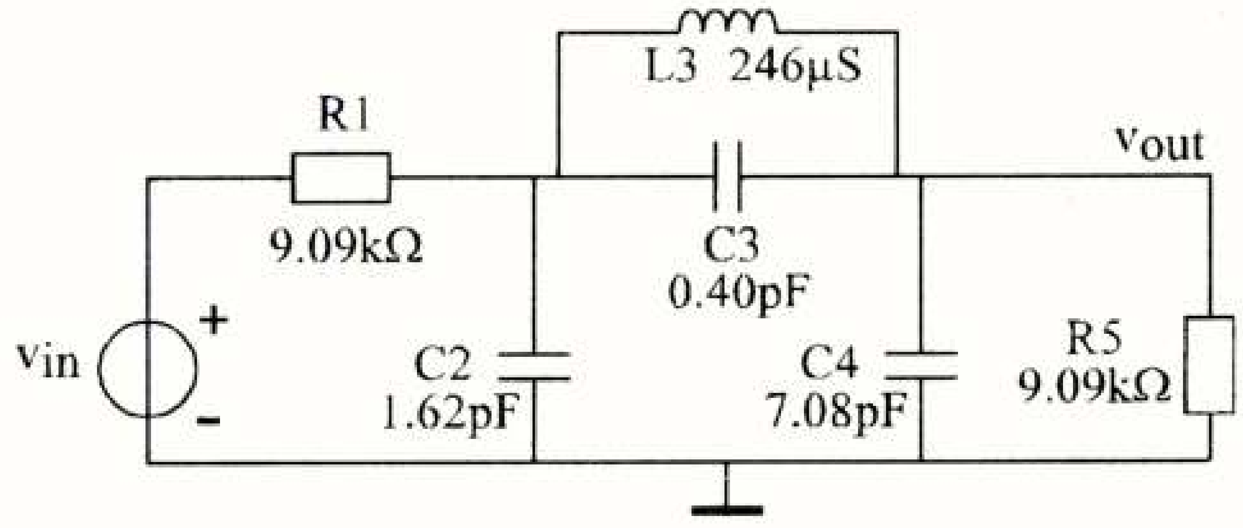


Figure 5. The passive prototype of the 5.5 MHz low-pass filter.

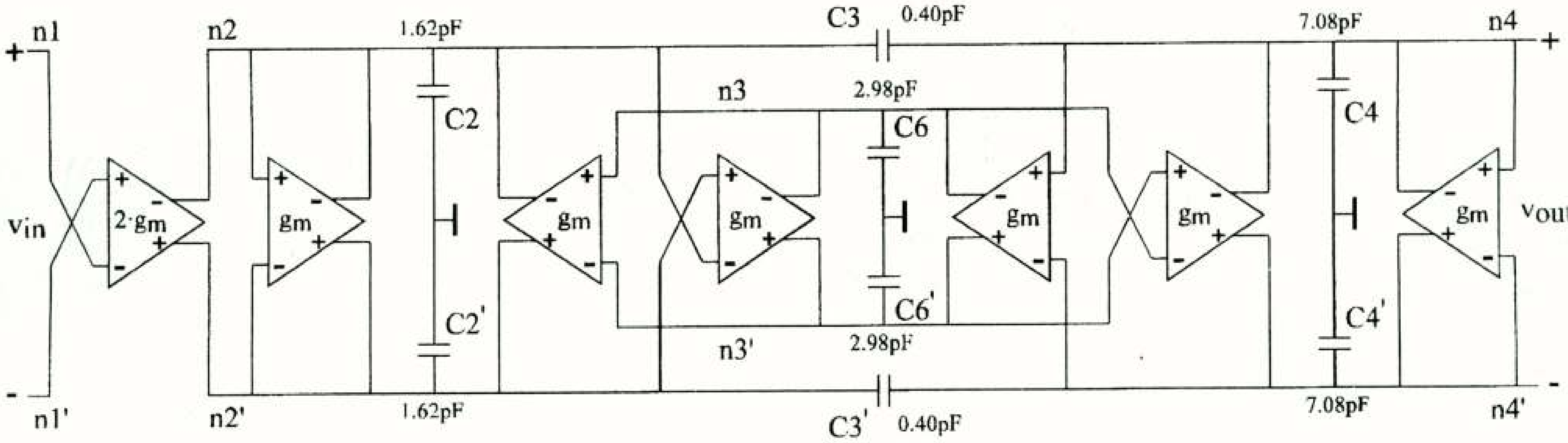


Figure 6. The balanced active gm-C implementation of the filter

Figure 6 shows a balanced active implementation using the 'soft-switched' transconductors.

The gain of the filter was measured versus frequency for different values of I_{tune}, the results are shown in figure 7. The -3dB cut-off frequency was tuned manually from 2.2 to 6.7 MHz by means of the tune current. The depth of the notch depends on the tuning due to the varying phase-shift of the transconductor, which is less than 0.4° at 5.5 MHz for the nominal transconductance value. The filter gain rolls-off somewhat smoothly at the cut-off frequency, Thanks to the smooth frequency response, the group delay variation remains small. The gain roll-off in the pass-band will be corrected in the digital domain, after the A/D converter.

The measured nominal gain of the circuit given in figure 6 is given in figure 8a. The gain simulated with the ideal filter of figure 5 has been normalized to 0 dB and is also given in figure 8a. These two lines match closely. Due to a finite quality-factor and noise of the transconductor the notch depth

is finite, where in simulations using the ideal filter the notch depth is infinite. The stop-band damping equals -32 dB.

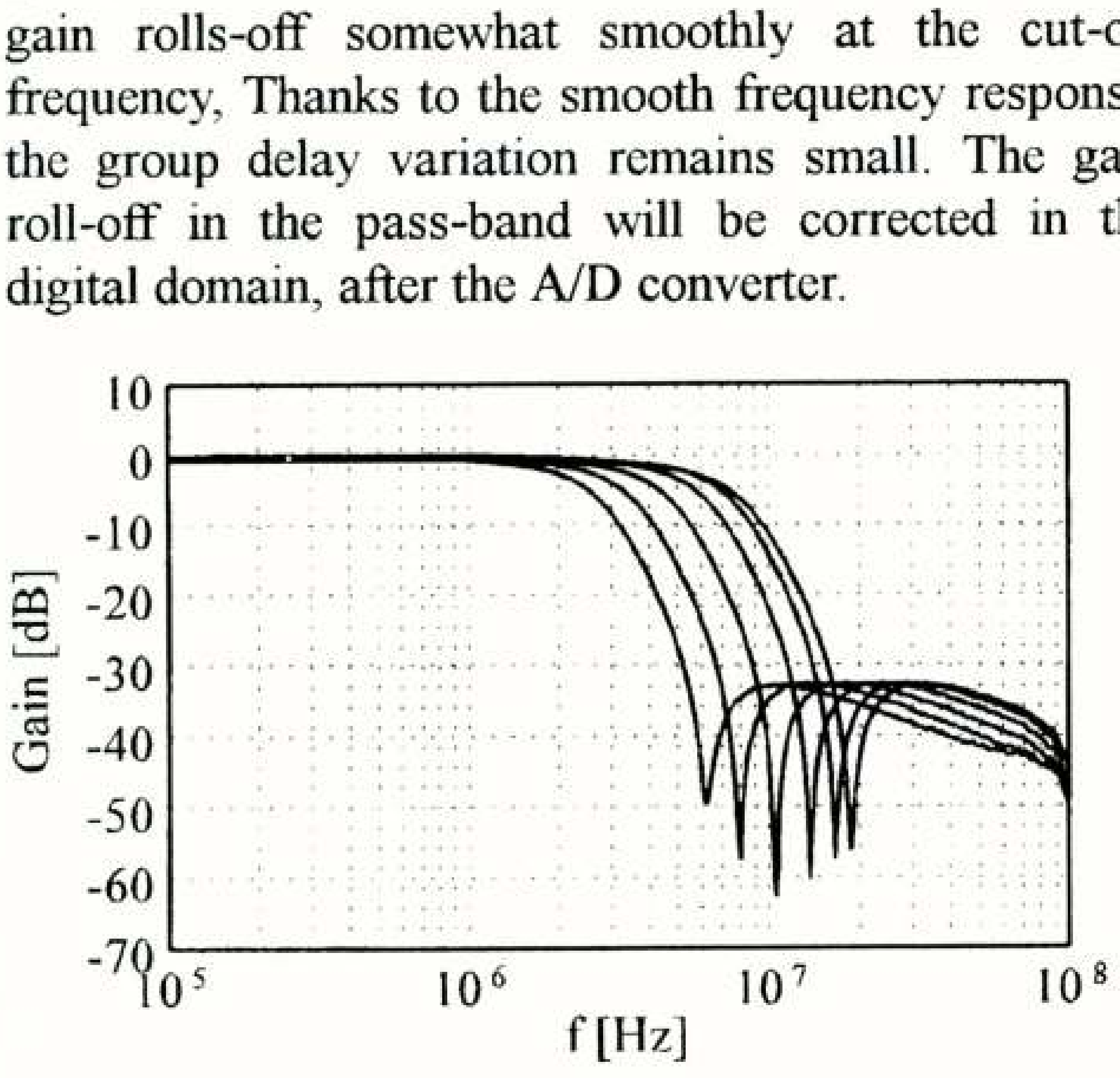


Figure 7. The measured filter gain versus frequency for various tune currents.

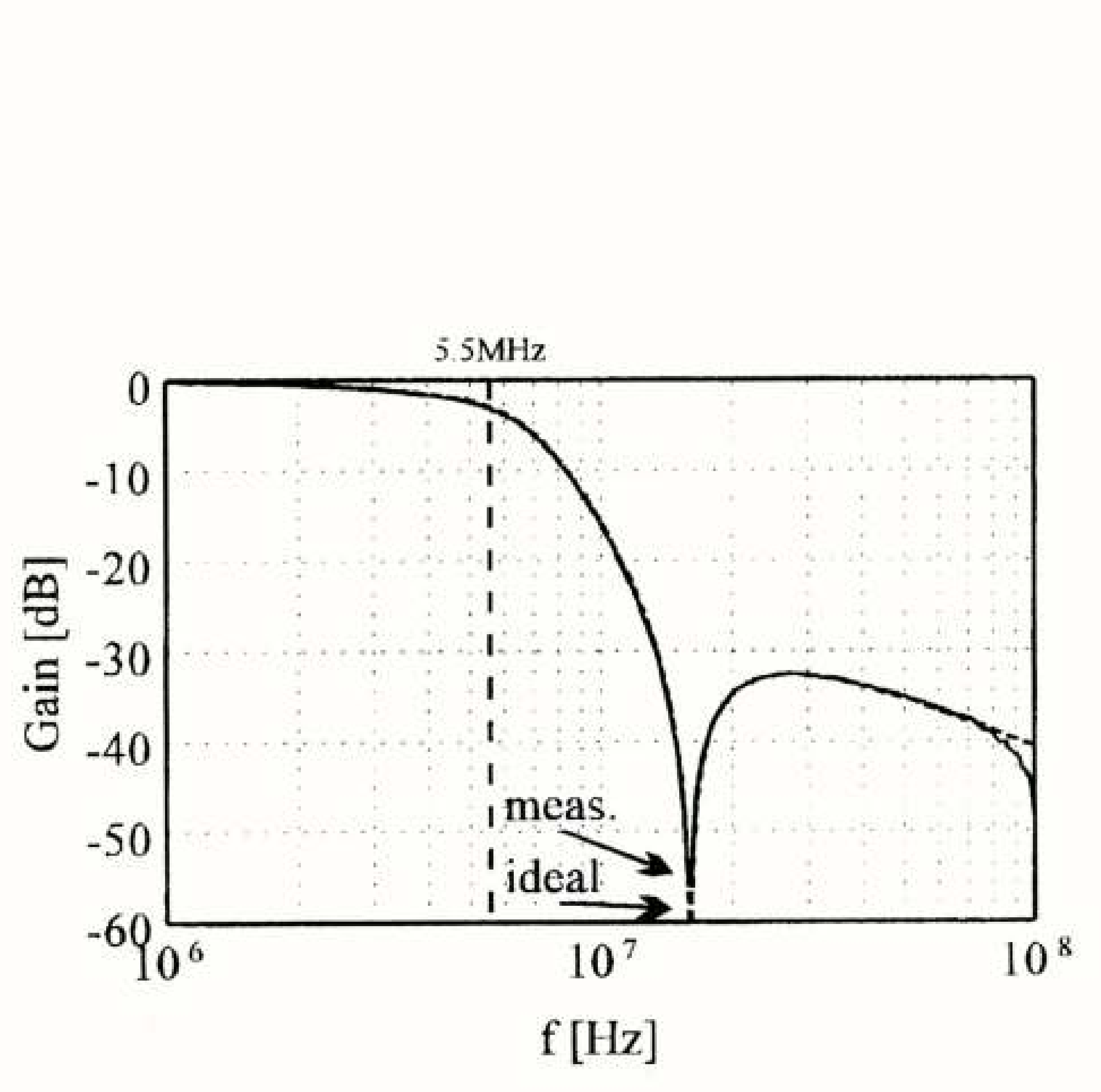


Figure 8a. The measured nominal gain and simulated normalized gain of the ideal filter versus frequency.

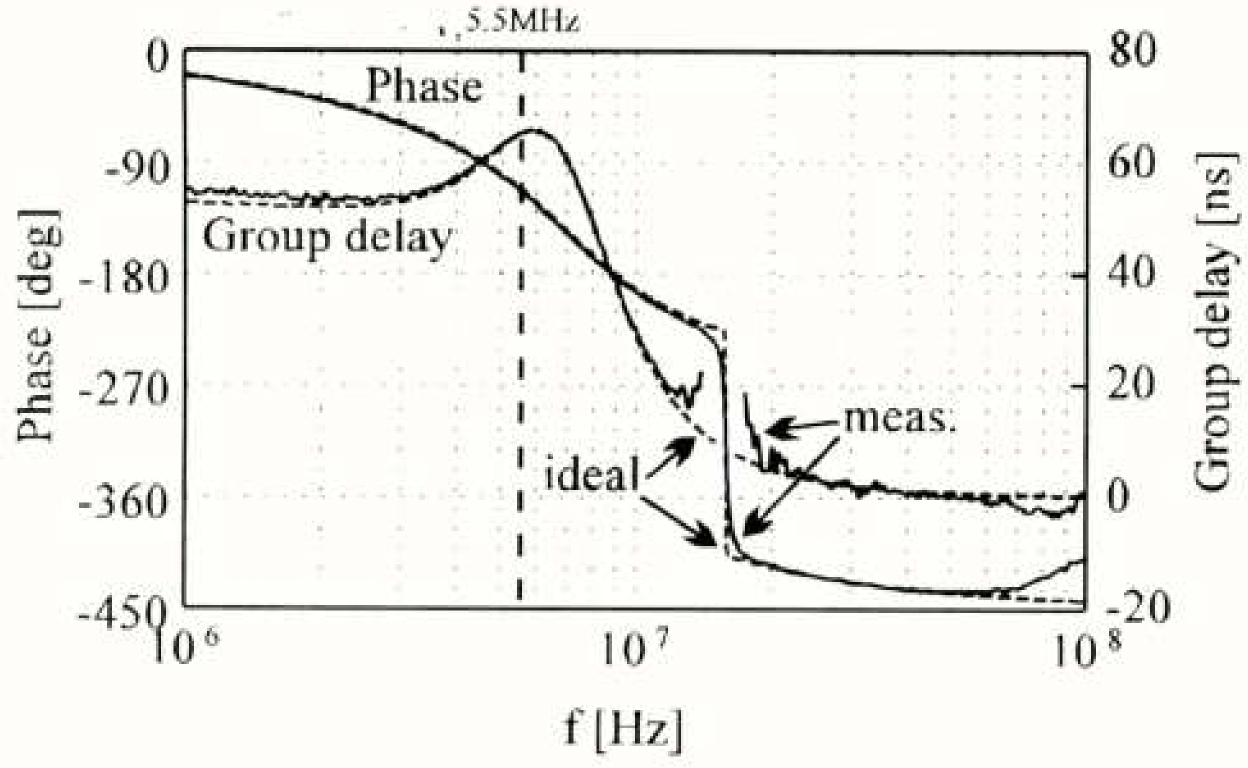


Figure 8b. The nominal phase and group delay versus frequency, measured and simulated with the ideal filter.

The measured and simulated phase and group delay of the nominal transfer are given in figure 8b; the simulation results are obtained with the ideal filter (figure 5). The measurement results are in good agreement with the simulation results, obtained with the ideal filter. The maximum group delay variation in the pass-band is 13 ns.

Intermodulation measurements have been carried out in order to measure the distortion of the filter. Since the third-order intermodulation products manifest in a small frequency band around the fundamentals, the filter characteristic does hardly effect the distortion measurement, in contrast to THD measurements. Figure 9 shows measured and simulated IM3 results obtained with the circuit of figure 6 for the nominal transfer. At low frequencies mutual distortion cancellation of the transconductors occurs. In simulations, these cancellations are perfect therefore the simulated IM3 for low frequencies is zero. In measurements some distortion at low frequencies remains due to mismatch. For frequencies close to the cut-off frequency of the filter the IM3 increases due to two facts. Firstly, at these frequencies the capacitive currents are no longer negligible resulting in a phase-shift between the internal filter nodes. Therefore the mutual distortion cancellation of the transconductors does not occur at these frequencies since the currents are out of phase. Secondly, the voltage amplitudes at some internal nodes increase about 6 dB close the cut-off frequency. This means that close to the cut-off frequency some transconductors have an input signal twice as large as the input signal at lower frequencies.

The output noise voltage of the filter has been measured. The noise voltage over a frequency range of 1kHz to 5.5 MHz equals 268 μV_{RMS} which is slightly higher than simulated, i.e. 190 μV. It appeared that due to absolute processing spread the common mode circuit (M7 through M10 (figure 3a) produces slightly more noise than in simulation.
The filter characteristics are summarized in Table 1.

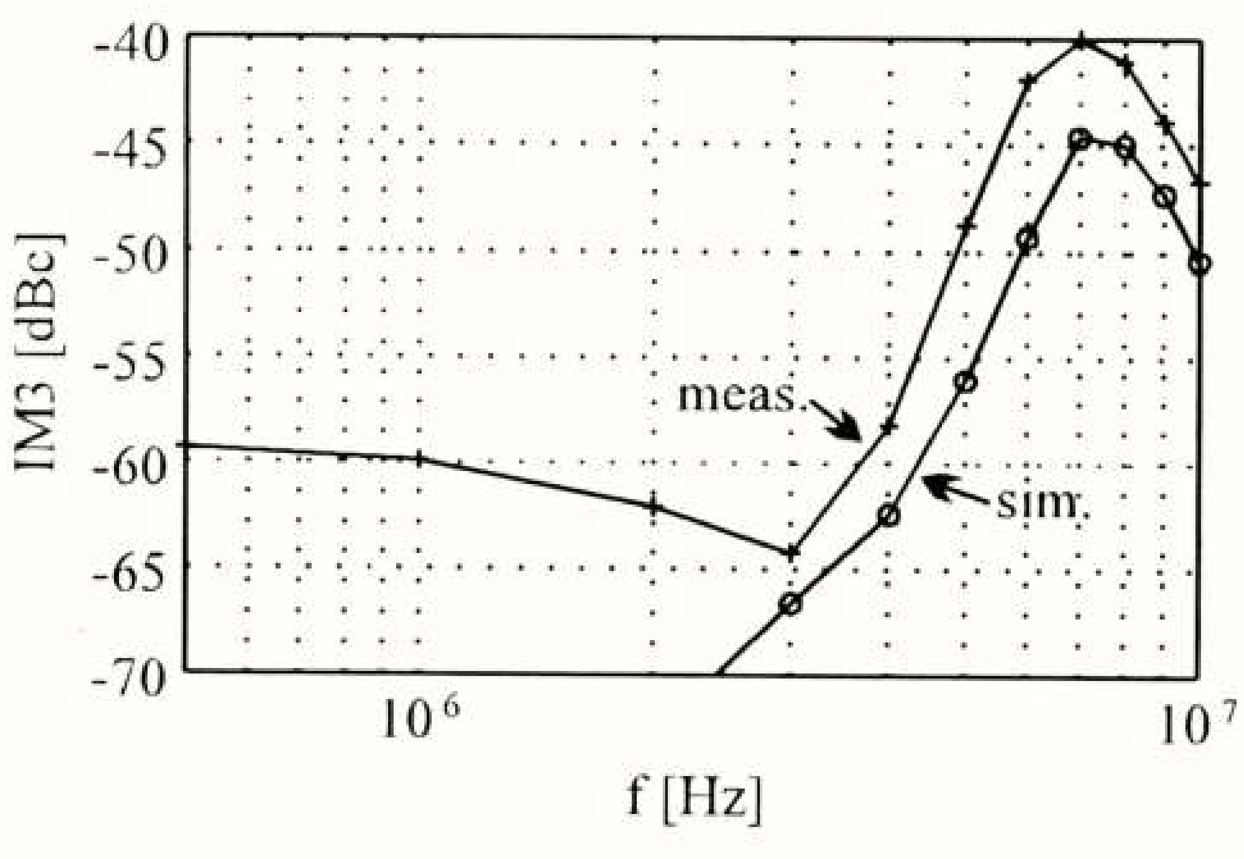


Figure 9. Intermodulation distortion versus frequency, measured and simulated at the nominal transfer $v_{in} = 1\ V_{ppdiff}$.

Parameter	Value
f-3dB nominal	5.5MHz
Stop-band rejection	-32dB
f-3dB tuning range	2.2-6.7MHz
Output noise, 0-5.5MHz (nominal)	268μVRMS
THD (In pass-band, vinmax=1Vppdiff)	-48dB
IM3 (In pass-band, vinmax=1Vppdiff)	-45dB
Dyn. Range (vinmax=1Vppdiff)	62dB
CMMR, vin=0V	-50dB
Group delay variation	13ns
Power dissipation (Vdd=3.3V)	12mW
Chip area, (0.5μm CMOS, double poly)	0.15mm2

Table 1: Filter characteristics.

6 Conclusions

A continuously tunable 'Soft-switched' resistor based transconductor has been presented. The *second* order effects of the transconductor are determined by the *first* order transistor characteristics. This is owing to the fact that the V-I conversion relies basically on a resistive degenerated differential pair while the MOS transistors, used for the V to I conversion, are only used for 'soft-switching' the degeneration resistors. The *second* order effects of the transistor therefore hardly affect the transconductor performance which makes the circuit also suitable for future sub-micron CMOS technologies.

The transconductor can be implemented with a new merged device, in which the degeneration resistors and the 'soft-switches' are merged.

A 5.5 MHz low-pass filter using the 'soft-switched' transconductor has been realized in a 0.5 μm CMOS process. The transconductor used in the filter has a tuning range of ± 50% in order to compensate for temperature and process variations. The input voltage of the filter can be $1V_{ppdiff}$ whereas the THD is less than -48 dB in the whole pass-band. The filter consumes 12 mW on a 3.3 V supply voltage.

Acknowledgment

This research has been carried out at the MESA Research Institute, University of Twente in cooperation with Philips Research Laboratories Eindhoven, The Netherlands. The author would like to thank B. Nauta, R.F. Wassenaar and H. Wallinga for their contributions.

References

[1] J.L. PENNOCK, "CMOS TRIODE TRANSCONDUCTOR FOR CONTINUOUS-TIME ACTIVE INTEGRATED FILTERS", ELECTRONICS LETTERS, VOL 21, NO 18, PAGE 817-818, 29TH AUGUST 1985

[2] A. NEDUNGADI AND T.R. VISWANATHAN, "DESIGN OF LINEAR CMOS TRANSCONDUCTANCE ELEMENTS", IEEE TRANSACTIONS ON CIRCUITS AND SYSTEMS, VOL CAS-31, NO 10, PAGE 891-894, OCTOBER 1984

[3] K. BULT, H. WALLINGA, "A CLASS OF ANALOG CMOS CIRCUITS BASED ON THE SQUARE-LAW CHARACTERISTIC OF AN MOS TRANSISTOR IN SATURATION", IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL SC-22, NO 3, PAGE 357-365, JUNE 1987

[4] Y. TSIVIDIS, Z. CZARNUL, S.C. FANG, "MOS TRANSCONDUCTORS AND INTEGRATORS WITH HIGH LINEARITY", ELECTRONICS LETTERS, VOL 22, NO 5, PAGE 245-246, 27TH FEBRUARY 1986

[5] C. H. J. MENSINK, E. A. M. KLUMPERINK, B. NAUTA, "ON THE REDUCTION OF THE THIRD ORDER DISTORTION IN A CMOS TRIODE TRANSCONDUCTOR", 1996 IEEE INTERNATIONAL SYMPOSIUM ON CIRCUITS AND SYSTEMS, VOL 1, PAGE 223-226, MAY 1996

[6] P.K. CHAN, G. WILSON, "MOBILITY DEGRADATION EFFECTS IN CMOS DIFFERENTIAL PAIR TRANSCONDUCTORS", ANALOG INTEGRATED CIRCUITS AND SIGNAL PROCESSING 2, PAGE 27-31, 1992 KLUWER ACADEMIC PUBL., BOSTON

[7] R.R. TORRANCE, T.R. VISWANATHAN, J.V. HANSON, "CMOS VOLTAGE TO CURRENT TRANSDUCERS", IEEE TRANSACTIONS ON CIRCUITS AND SYSTEMS, VOL CAS-32, NO 11, PAGE 1097-1104, NOVEMBER 1985

[8] S. SZCZEPANSKI, A. WYSZYNSKI, R. SCHAUMANN, "HIGHLY LINEAR VOLTAGE-CONTROLLED CMOS TRANSCONDUCTORS", IEEE TRANSACTIONS ON CIRCUITS AND SYSTEMS, VOL 40, NO 4, PAGE 258-262, APRIL 1993

[9] U.K. MOON, B.S. SONG, "DESIGN OF A LOW-DISTORTION 22-KHZ FIFTH-ORDER BESSEL FILTER", IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL 28, NO 12, PAGE 1254-1264, DECEMBER 1993

[10] C.H.J. MENSINK, B. NAUTA, H. WALLINGA, "A 5.5MHZ CMOS LOW-PASS FILTER USING A 'SOFT-SWITCHED' TRANSCONDUCTOR", 22ND EUROPEAN SOLID-STATE CIRCUITS, PAGE 84-87, SEPTEMBER 1996

[11] C.H.J. MENSINK, B. NAUTA, "TUNEABLE DEGENERATED DIFFERENTIAL PAIR", EUROPEAN PATENT # 96201256.3, 9 MAY 1996

[12] E. SCHATTER, "MONOLITHIC TV IF SYSTEM TAB 440", IEEE TRANSACTIONS ON BROADCAST AND TELEVISION RECEIVERS, VOL 18, PAGE 158-163, AUGUST 1972

[13] N.J. BAARS, "SYMMETRICAL ARRANGEMENT FOR FORMING A VARIABLE ALTERNATING-CURRENT RESISTANCE", UNITED STATES PATENT # 4,131,809, DECEMBER 1978

[14] V. GOPINATHAN, Y. TSIVIDIS, K. TAN, R. HESTER "DESIGN CONSIDERATIONS FOR HIGH-FREQUENCY CONTINUOUS TIME FILTERS AND IMPLEMENTATION OF AN ANTIALIASING FILTER FOR DIGITAL VIDEO", IEEE JOURNAL SOLID-STATE CIRCUITS, VOL. 25, NO 6, PAGE 1368-1378, DECEMBER 1990

About the author



Clemens H. J. Mensink was born in Denekamp, The Netherlands, on April 7, 1967.
He received the MS degree in electrical engineering from the University of Twente, Enschede, The Netherlands, in 1992. The work was focused on the design of a bipolar audio amplifier. Besides, he received a certificate in computer science.
In September 1996 he received the Ph.D. degree from the same university on the subject of analogue transconductors for sub-micron CMOS technology.
He is now with Philips Semiconductors B.V. Nijmegen, The Netherlands.

DISCUSSIESTUK: "1/f RUIS IN DE GESCHAKELDE TOESTAND: NUTTIG, INTERESSANT OF BEIDE?"

A. P. van der Wel, S. L. J. Gierkink, E. A. M. Klumperink, H. Wallinga, R. F. Wassenaar

MESA Research Institute, Universiteit Twente, Postbus 217, 7500 AE Enschede.

Abstract
Measurement results are presented that show N-channel MOSFET 1/f noise to decrease under switched bias conditions. A brief outline of a possible explanation is given. The significance of these measurements is twofold: on the one hand the noise decrease may be exploited in low noise circuit design, on the other, it yields valuable insights into 1/f generating processes in the MOS transistor.

1. Introductie

1/f Ruis in elektronische componenten is iets dat al lange tijd door velen onderzocht wordt. Nog altijd, want niet alleen speelt de 1/f ruis een belangrijke beperkende rol in de performance van (vooral analoge) circuits; ook is het laatste woord omtrent de oorsprong van de 1/f ruis nog niet gezegd, en dat houdt zoals bekend de wetenschappers geboeid.
Wat veel theoretici erg fascineert aan de 1/f ruis met zijn karakteristieke vermogensspectrum is de belofte dat als je maar lang genoeg blijft kijken, het vermogen oneindig zal blijken te zijn.

Een gevolg hiervan is dat de focus bij het meten aan 1/f ruis ligt op het zoeken naar de eventuele aanwezigheid van een laag kantelpunt waaronder de ruis af zou moeten gaan wijken van zijn 1/f karakter. Met goed doordachte meetopstellingen en zorgvuldige voorzorgsmaatregelen is het mogelijk gebleken 1/f ruis in transistoren te meten tot een frequentie van wel 10^{-6} Hz [1]. Een kantelpunt is evenwel niet gevonden. Wie dacht dat hoogfrequent meten moeilijk was moest zich hier maar eens aan wagen.

Een tweede gevolg hiervan is dat een ander interessant aspect van de 1/f ruis lange tijd geheel over het hoofd is gezien, namelijk de vraag wat er gebeurt als je *niet* oneindig lang wacht, maar juist gaat kijken hoe de 1/f ruis zich gedraagt in de eerste paar milliseconden van zijn bestaan.

Dat roept natuurlijk de vraag op wanneer de 1/f ruis ontstaat, waar die vandaan komt, en of het mogelijk is om het ruisgenererende proces uit te zetten, en het later weer te herstarten. Aspecten die we in dit artikel, aan de hand van enkele interessante metingen gedaan aan N-kanaals MOS transistoren, [2] hopen te belichten.

2. Achtergrond

MOS transistoren

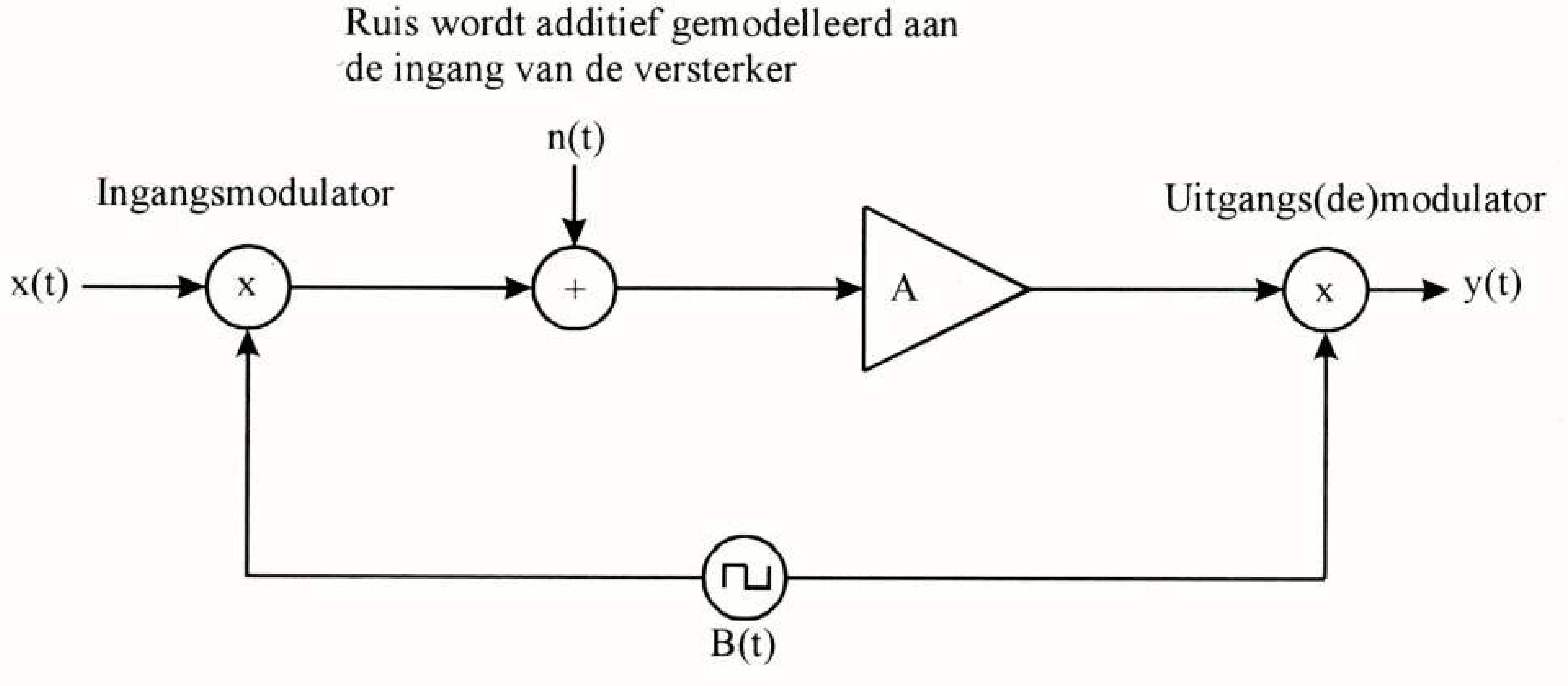
MOS transistoren zijn erg prettige devices om 1/f ruis aan te meten omdat ze erg hard ruisen, en het zodoende gemakkelijk meten is. Verder spitst een groot deel van het 1/f onderzoek zich toe op de 1/f ruis van de MOS transistor. Dit omdat er een niet aflatende wens is analoge circuits te integreren met digitale schakelingen, waardoor het nodig wordt om analoge schakelingen in CMOS te realiseren. Het probleem waar de analoge ontwerper voor staat wordt vergroot door de miniaturiseringsdrang. Immers, bij eenzelfde transconductantie ruisen kleinere transistoren harder omdat er in kleine devices relatief

minder middeling van de ruis optreedt dan in grotere.

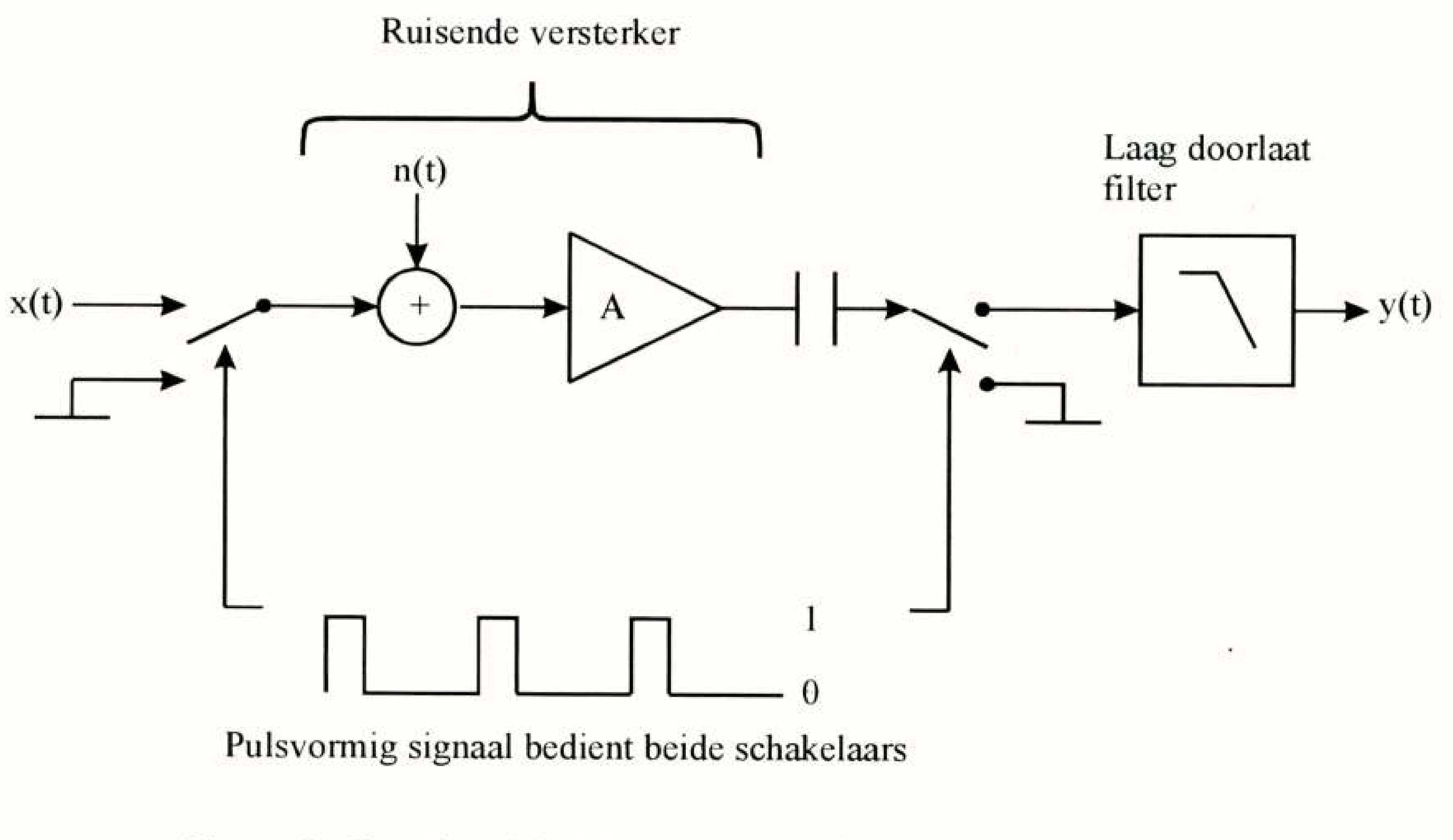
De 1/f ruis van de MOS transistor is, zoals gezegd, vaak een beperkende factor in de performance van analoge circuits. Hierbij kan, voor laagfrequente toepassingen, gedacht worden aan de welbekende signaal/ruis verhouding, terwijl het bij oscillatorschakelingen de jitter (nuldoorgangs tijdsonzekerheid, veroorzaakt door de 1/f ruis) is die de inzetbaarheid van de schakeling beperkt. In beide gevallen is het gunstig zijn als de 1/f ruis gereduceerd kan worden.

Circuittechnieken

Bij laagfrequente versterkerschakelingen wordt wel van het zgn. 'choppen' gebruik gemaakt. (Figuur 1) Dit is een modulatietechniek waarbij het ingangssignaal eerst omhoog gemoduleerd wordt naar een hoge frequentie, om daar versterkt te worden zonder dat de versterker noemenswaardig 1/f ruis toevoegt in de frequentieband waarin het signaal aanwezig is [3]. Na demodulatie resulteert een basisband uitgangssignaal vrijwel zonder 1/f ruis, terwijl de door de versterker gegenereerde 1/f ruis naar een hogere frequentieband wordt verschoven.



Figuur 1. Bij gechopte versterkers vindt de signaal versterking op een hogere frequentie plaats.



Figuur 2. Correlated double sampling werkt 1/f ruis en offset weg.

Een andere manier om van de offset en de laagfrequente ruis af te komen is om gebruik te maken van het zogenaamde 'Correlated double sampling' (Figuur 2). Bij deze techniek wordt telkens een sample van de ruis genomen die in de volgende periode van het uitgangssignaal wordt afgetrokken. De laagfrequente componenten van de ruis, die bij 1/f ruis dominant zijn, verdwijnen zo [4].

Devicetechnieken

Een veel minder bekende methode om de performance van CMOS schakelingen te verbeteren is om in te grijpen in het ruisproces in de transistor zelf en er zo voor te zorgen dat de transistor minder hard ruist.
Dat het mogelijk is om een MOS transistor minder hard te laten ruisen door hem periodiek aan en uit te schakelen wordt in de literatuur voor het eerst vermeld in 1991 [5]. Sindsdien is er met dit op zich heel interessante gegeven weinig gedaan [6]. Toch zijn er goede redenen om hier verder onderzoek aan te doen, omdat:

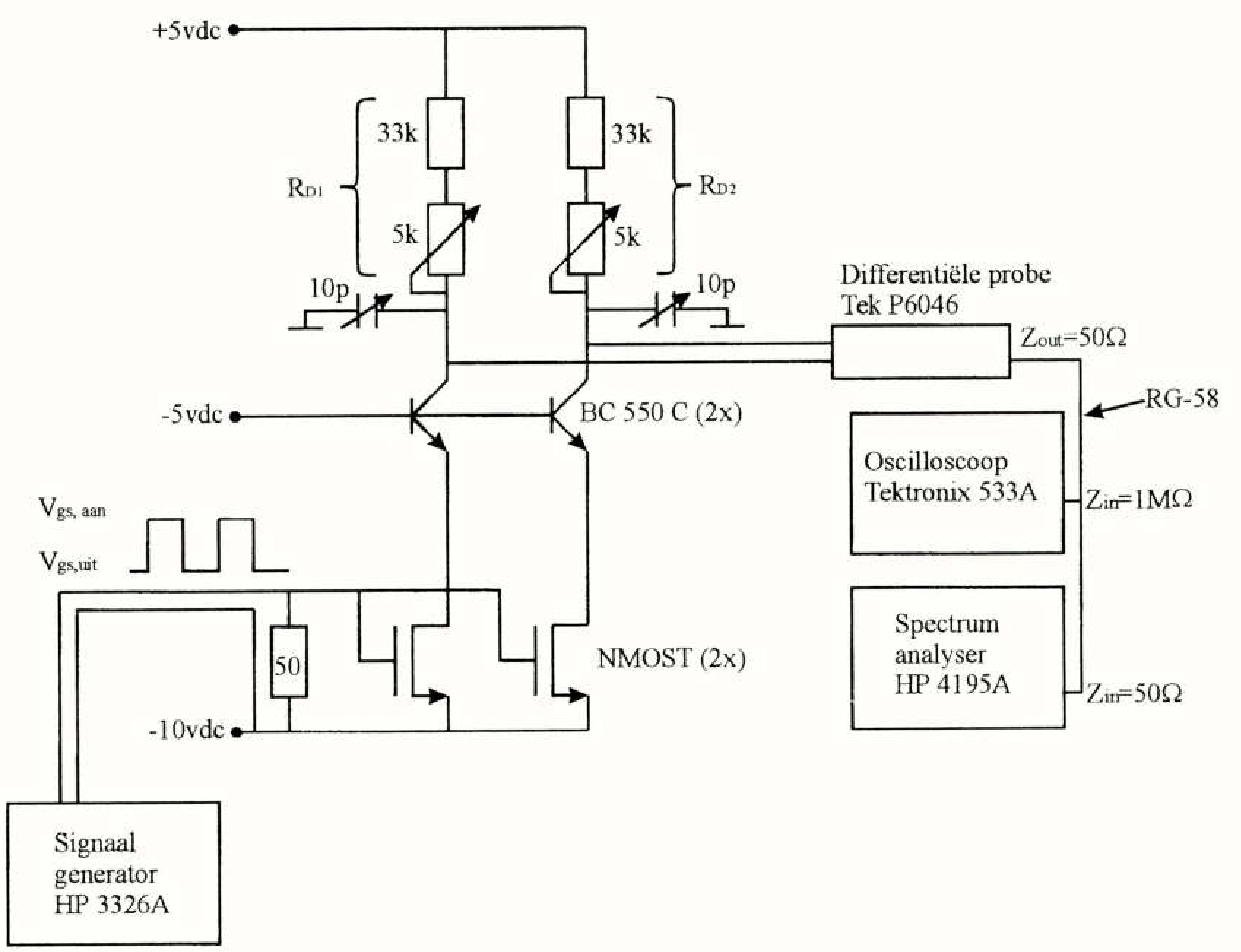
1. Deze ruisreductie techniek het probleem bij de tot wortels aanpakt. Er wordt ingegrepen in het proces dat de ruis veroorzaakt, dit in tegenstelling tot 'correlated double sampling' en 'choppen'. Hoewel er nog weinig harde uitspraken te doen zijn omtrent de specifieke voordelen van deze techniek zijn er sterke aanwijzingen dat dit effect een gunstige invloed heeft op de jitter in ringoscillatoren [7].

2. Het feit op zich dat de ruis zich laat verminderen door de transistor periodiek aan en uit te schakelen zou ons veel kunnen leren omtrent het ontstaan van de 1/f ruis. Het meten aan 1/f ruis onder geschakelde omstandigheden is een nog vrijwel onontgonnen wetenschappelijk terrein. Een beter begrip van de oorsprong van de 1/f ruis leidt tot fysisch inzicht dat bij zou kunnen dragen aan het tot stand komen van intrinsiek ruisarmere CMOS processen, of deviceconstructies die minder 1/f ruis vertonen.

3. Metingen

Meetopstelling

Voordat er uitspraken gedaan kunnen worden omtrent het ruisgedrag van een transistor die aan geschakelde biascondities blootgesteld wordt moet er eerst onder die condities gemeten worden. Daartoe is het nuttig de door ons gebruikte meetopstelling (Figuur.3) te bespreken.

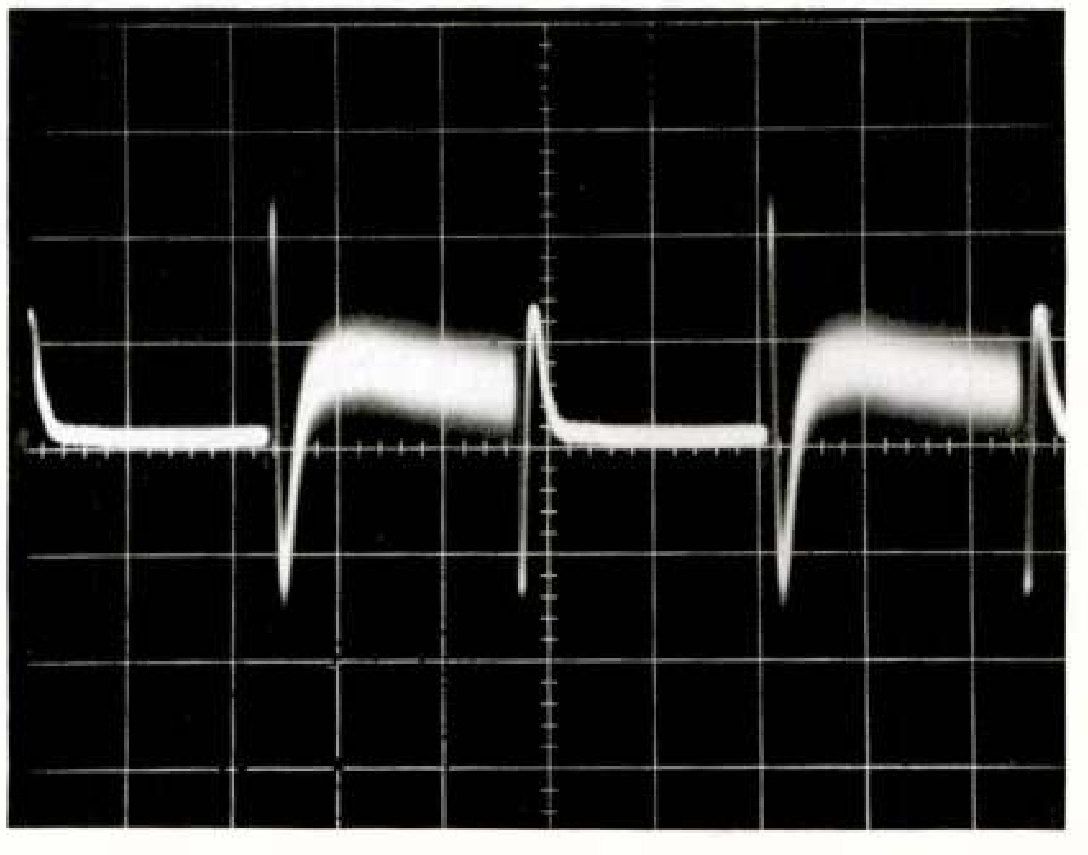


Figuur 3: Deze meetopstelling maakt het meten van MOS transistor ruis in geschakelde toestand mogelijk.

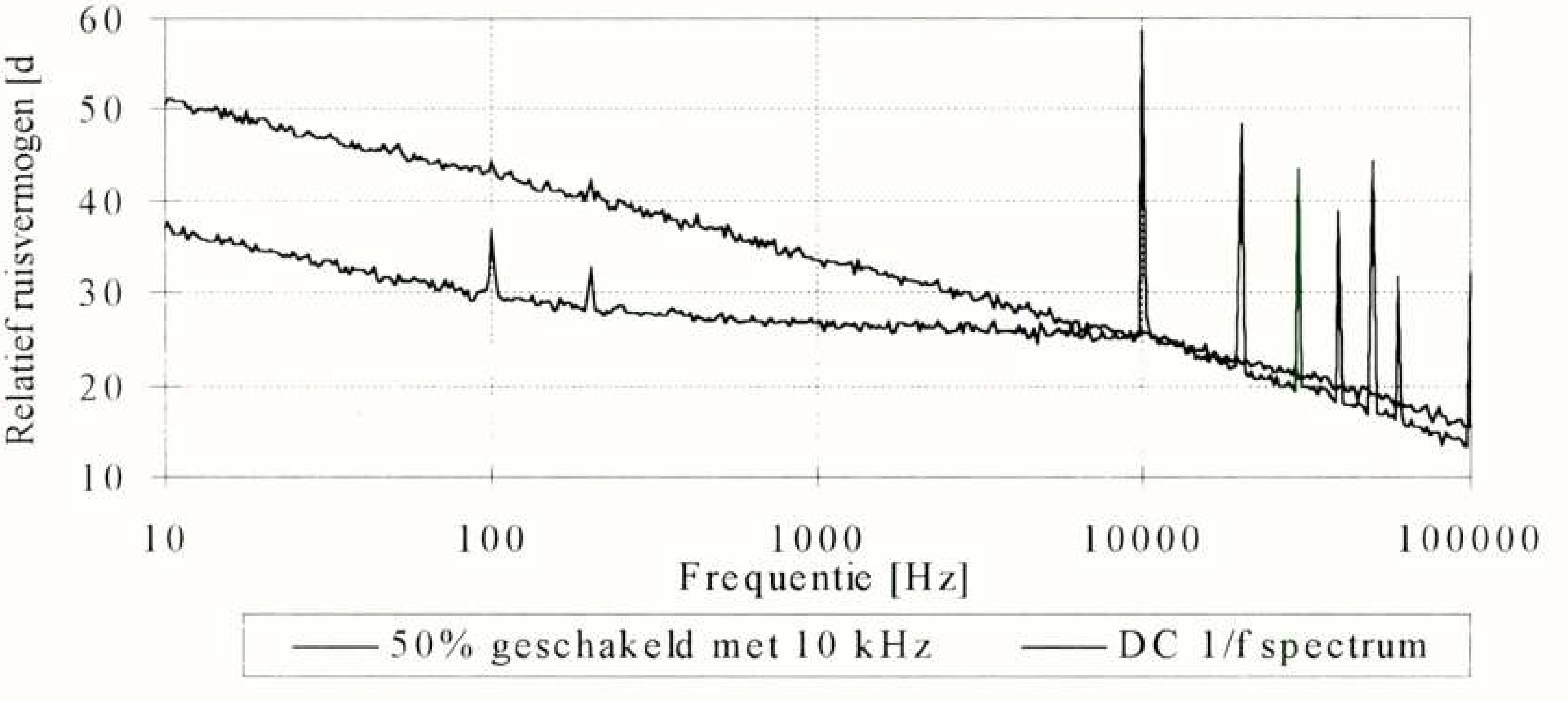
Onderaan de schakeling vinden we de twee N-kanaals MOS transistoren waar het ruisgedrag van onderzocht wordt. Deze transistoren worden beide gate-source gestuurd met *hetzelfde* schakelsignaal. Dit is in het algemeen een blokvormig signaal dat twee niveaus kent; een dat de transistors 'aan' zet en een dat ze 'uit' laat. In de drainleiding van de MOS transistoren zitten een tweetal bipolaire cascodetransistoren, die er voor zorgen dat de drainspanning van de MOS transistoren (min of meer) constant blijft. Zo is het mogelijk de gate-source en de drain-source spanningen onafhankelijk te bedienen. Op de drainweerstanden, R_{D1} ,en R_{D2}, is het schakelsignaal geïnverteerd terug te vinden. In de toestand waarin de transistoren 'uit' staan zijn beide probe ingangen door de drainweerstanden met de voeding verbonden, en geeft deze geen noemenswaardige output. In de andere helft van de periode, waar de transistoren 'aan' staan, is in iedere tak van de schakeling ruis (afkomstig uit het kanaal van de MOS transistor) te meten. Dit is duidelijk zichtbaar in figuur 4. De differentiële probe meet het verschil tussen beide ongecorreleerde) ruis-spanningen. Er is voorzien in kleine verschillen tussen de twee transistoren. Hiervoor zijn weerstands en capacitieve trimmers in de schakeling aangebracht. Deze worden zodanig afgeregeld dat er zo weinig mogelijk van het schakelsignaal aan de uitgang van de differentiële probe verschijnt. De uitgang van de probe wordt voor monitordoeleinden bekeken met een oscilloscoop, en gaat vervolgens naar de ingang van een spectrum analyser, waar de ruisspectra mee gemeten worden.

Meetresultaten

In het geval dat het ruis*proces* in de MOS transistor niet beïnvloed wordt door het schakelen, wordt het



Figuur 4. De meetopstelling moduleert de ruis die van de transistor komt

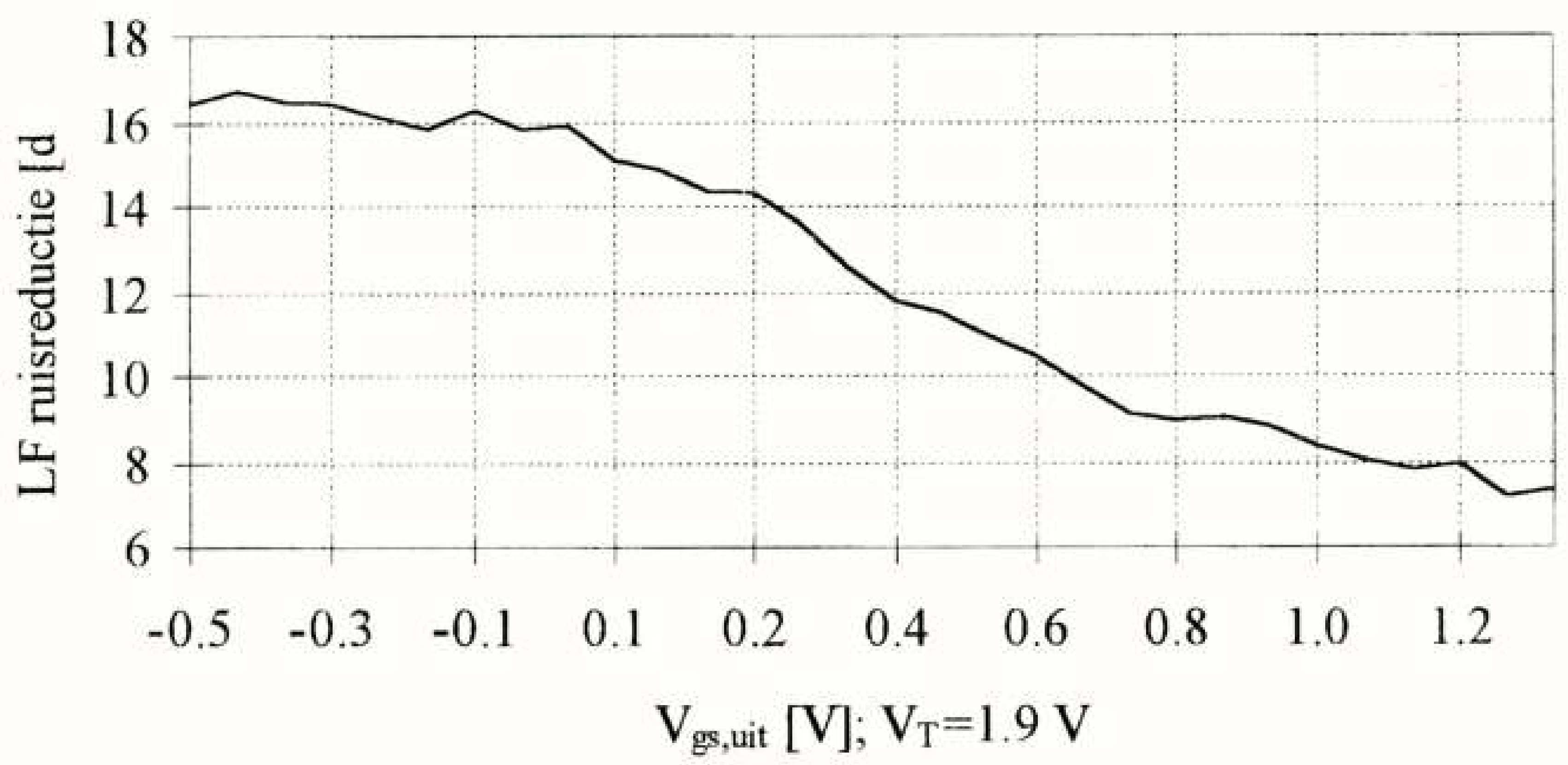


Figuur 5: De LF ruis van de MOS transistor neemt af in geschakelde toestand: $F_{schakel}$=10 kHz, $V_{gs,\,on}$=2.5V, $V_{gs,\,off}$=0V (HEF 4007).

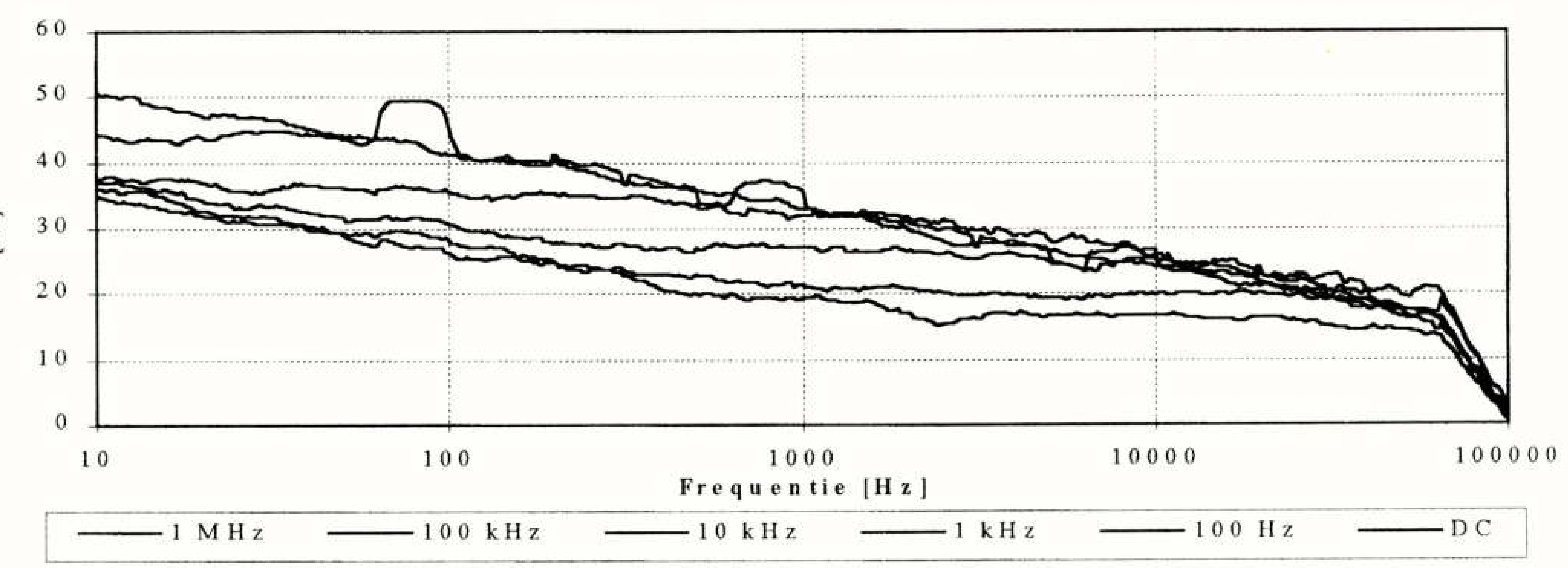
alleen gemoduleerd door het schakelsignaal, en is de verwachting dat er een laagfrequent ruisspectrum gemeten wordt dat in de geschakelde toestand 6 dB onder het steady-state spectrum ligt. (Bij een duty cycle van het schakelsignaal van 50%.) Dit is echter niet wat we zien; het laagfrequente ruisspectrum ligt bijna 15 dB onder het steady state spectrum (Figuur.5).

Omdat de laagfrequente delen van de spectra in figuur 5 parallel lopen is het mogelijk de afstand tussen deze lijnen in een enkel getal uit te drukken. Vervolgens kan dit getal, de 'LF ruisreductie', geplot worden als functie van verschillende parameters. Een van de parameters waar dit voor gedaan is is de Gate-Source spanning in de 'uit' toestand. Daar kwam de heel interessante figuur 6 uit. Er valt op te merken dat de MOS transistoren helemaal 'uit' gezet moeten worden, tot ver onder de threshold spanning V_T (in ons geval: 1,9V), voordat het ruisproces zich laat beïnvloeden. Er is eveneens gemeten met de schakelfrequentie als parameter, dit leverde figuur 7 op. Opvallend is dat de LF ruisreductie binnen bepaalde grenzen nauwelijks van de frequentie afhangt.

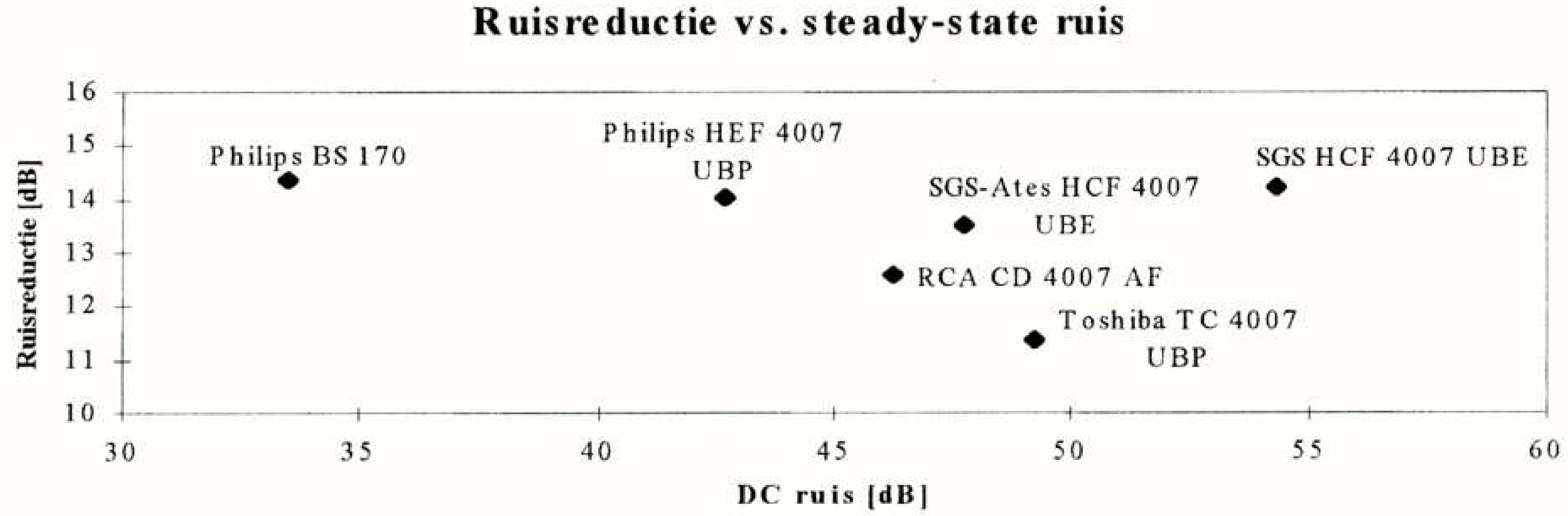
Tot nu toe zijn er alleen metingen gedaan aan verschillende commercieel verkrijgbare MOS transistoren, waar weinig precieze gegevens van bekend waren. Wat daar uit bleek was dat hoewel de ruis van de devices in steady-state zeer grote variaties vertoonde, de ruis*reductie* veel kleinere verschillen vertoonde en ongecorreleerd leek te zijn met de ruis in de steady-state (Figuur. 8). Het zou zeer interessant zijn om systematisch te gaan meten aan transistoren waar de precieze device parameters van bekend zijn. Het zou dan wellicht mogelijk worden om de ruisreductie in verband te brengen met de dan beter bekende condities in het device.



Figuur 6. Ruisreductie als functie van de 'uit' spanning: De MOS transistor moet geheel 'uit' staan om de ruisreductie te maximaliseren. $F_{schakel}$=10kHz, duty cycle=50%, Meetfrequentie 10-40 Hz (HEF 4007).



Figuur 7. De haalbare ruisreductie is niet erg gevoelig voor variaties in de schakelfrequentie: $V_{gs,on}$ = 2.5 V, $V_{gs,off}$ = 0 V (HEF 4007).



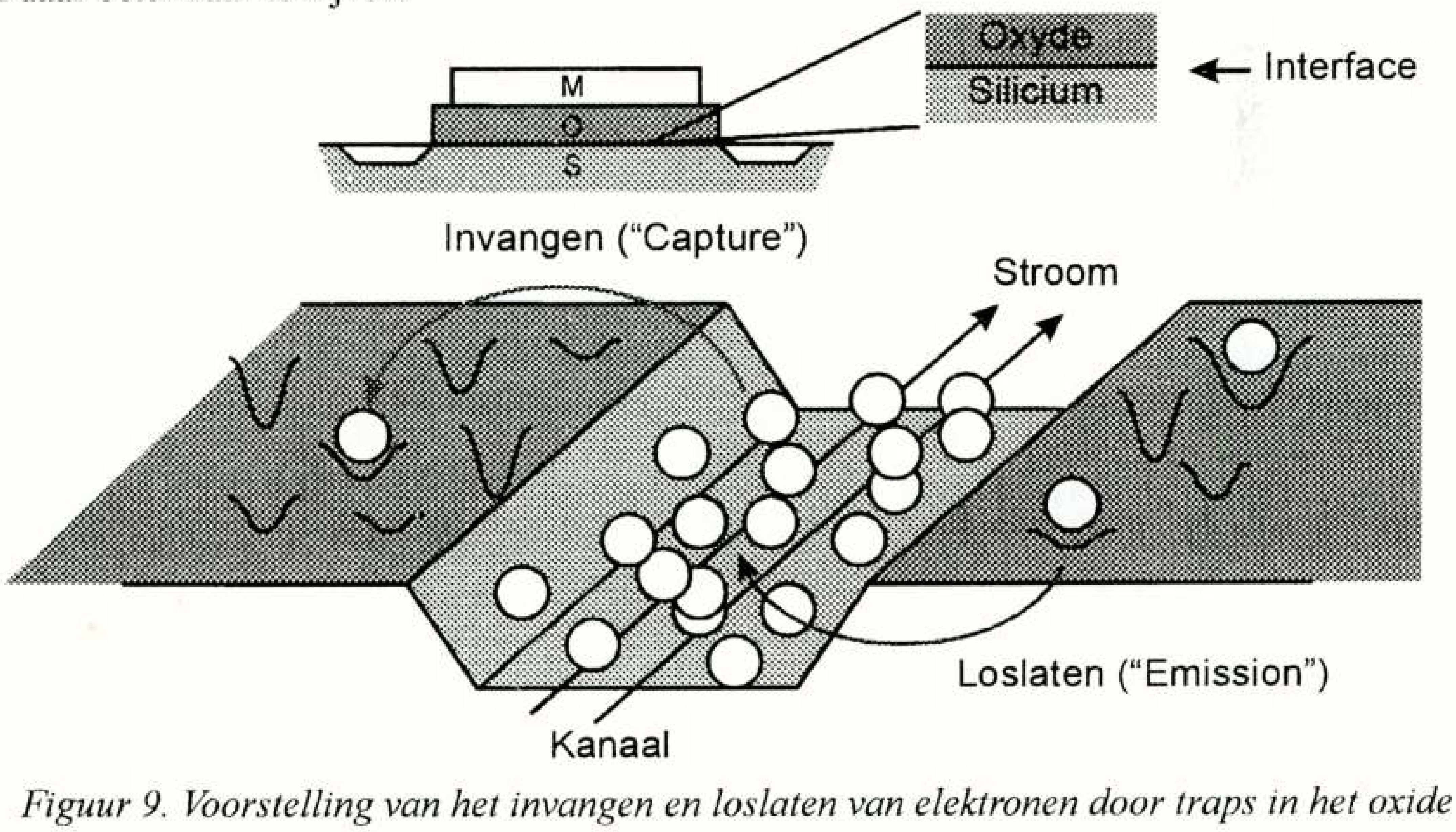
Figuur 8. Geen correlatie tussen steady state ruisvermogen en ruisreductie in de geschakelde toestand.

Verder hebben we geconstateerd dat een MOS transistor die wij blootstelden aan Röntgenstraling na bestraling geen ruisreductie meer vertoonde. Dat is een opmerkelijk gegeven, omdat het bekend is dat Röntgenstraling traps in de bandgap toevoegt [8]. Dat zou er op kunnen duiden dat de 1/f ruis in de N-kanaals MOS transistor iets te maken heeft met traps in de bandgap, een theorie die voor het eerst geopperd werd door McWhorter in 1955 [9]. Het lijkt dan ook relevant om daar beter naar te kijken.

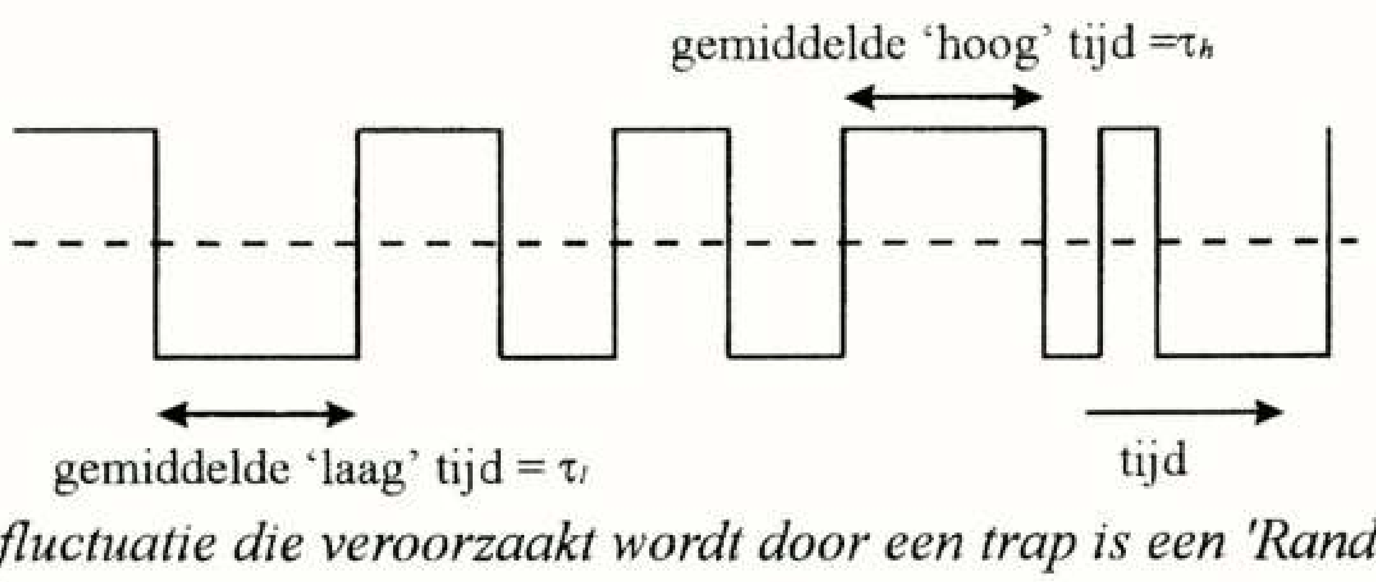
4. Discussie

Mcwhorter's 1/f ruismodel

Het ruismodel van McWhorter uit 1955 gaat er van uit dat de 1/f ruis in een MOS transistor veroorzaakt wordt door het invangen en loslaten van elektronen door 'traps' in het oxide bij het kanaal in de MOS transistor (Figuur. 9). Een 'trap' is een plaatsgebonden energietoestand waar een elektron in ingevangen kan

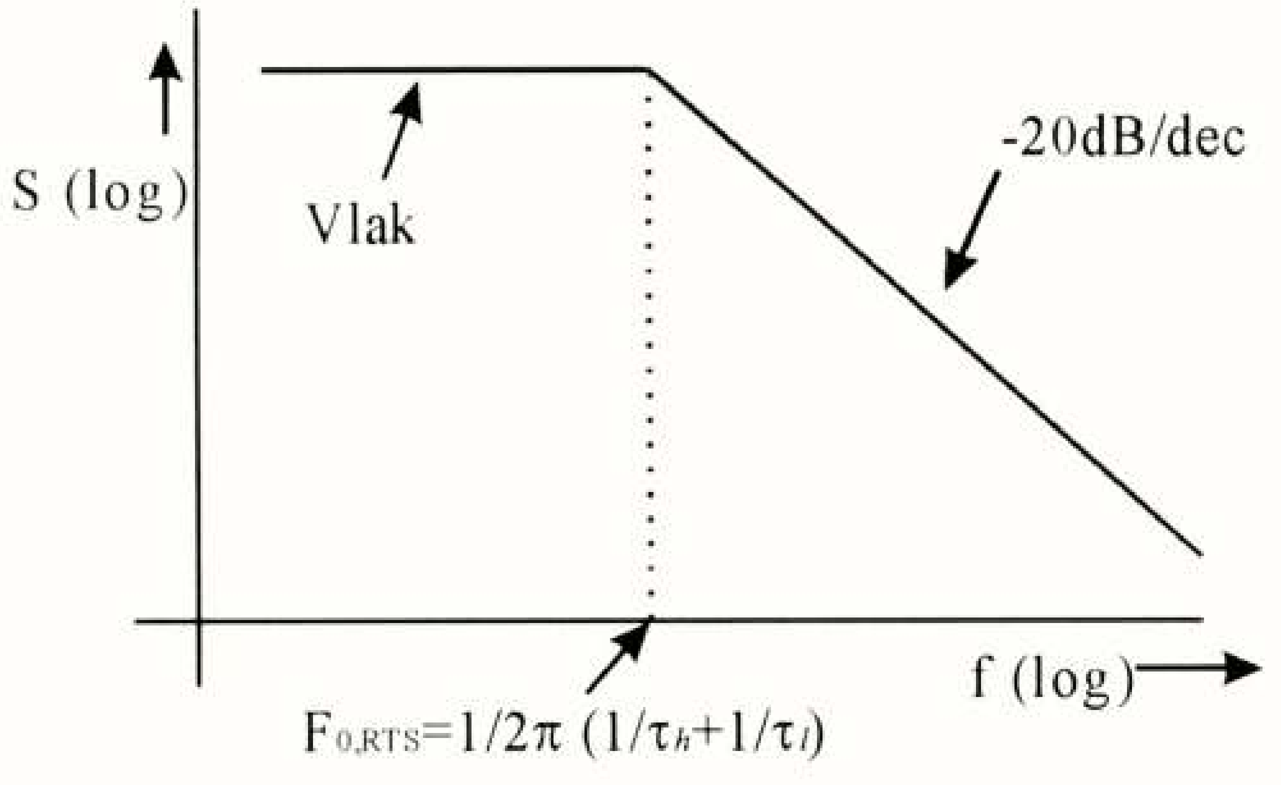


Figuur 9. Voorstelling van het invangen en loslaten van elektronen door traps in het oxide



Figuur 10: De stroomfluctuatie die veroorzaakt wordt door een trap is een 'Random Telegraph Signal'.

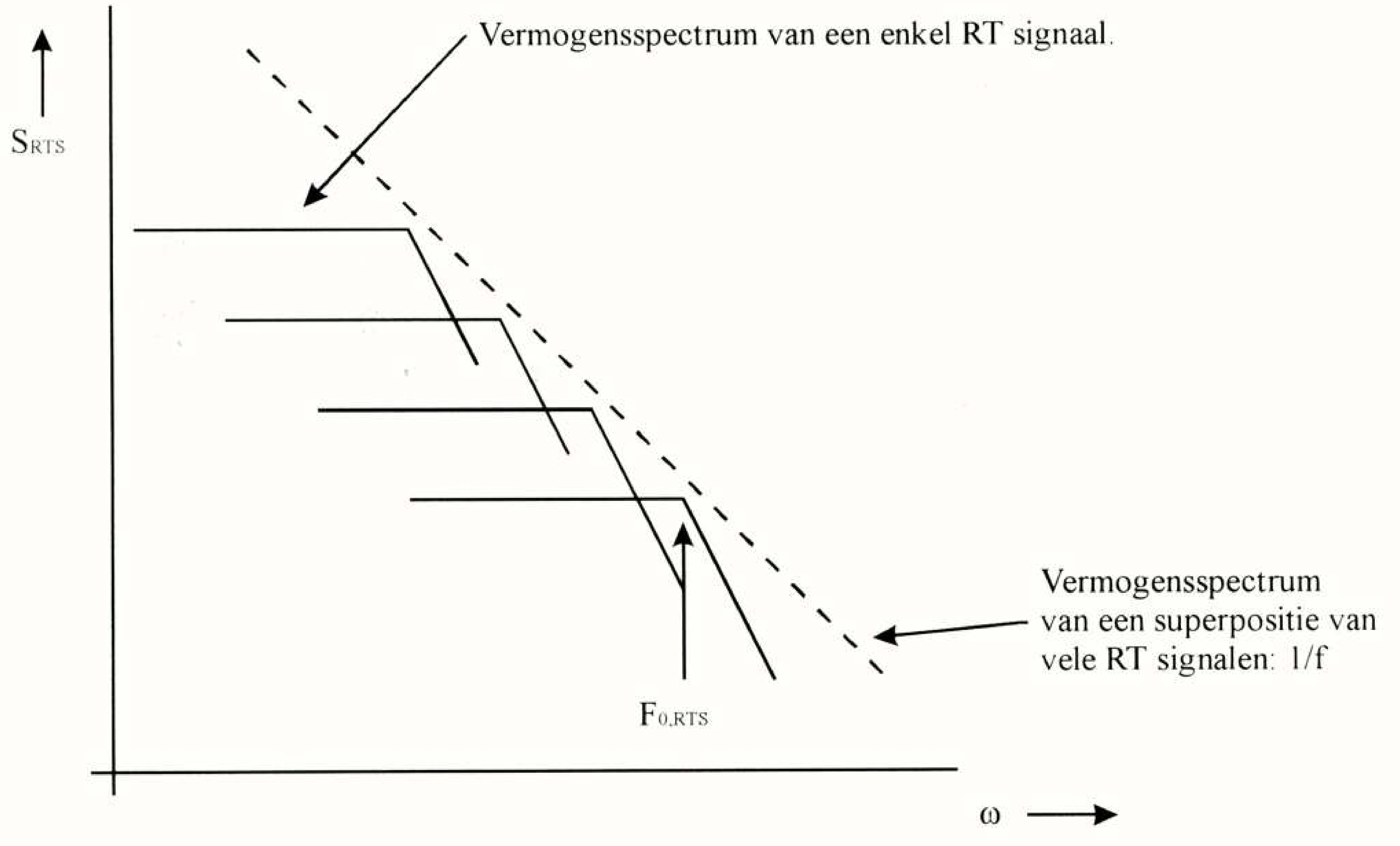
worden, en na een bepaalde tijd weer uit losgelaten kan worden. Door het invangen en loslaten van elektronen door traps ontstaat er zo een fluctuatie in de drainstroom van de MOS transistor. De fluctuatie, veroorzaakt door één trap is geschetst in figuur 10. Deze signaalvorm staat bekend als een "Random Telegraph Signal", of RTS. In het frequentiedomein correspondeert zo'n fluctuatie met een spectrum als weergegeven in figuur 11.



Figuur 11. Het vermogensspectrum van een Random Telegraph Signal.

Daarbij is de kantelfrequentie in het frequentiedomein, $F_{0,RTS}$, bepaald door de gemiddelde τ_h en τ_l van het RTS. Door nu de tijdconstantes van de (vele) traps zo verdeeld te veronderstellen dat er in het log-f domein een uniforme verdeling van kantelfrequenties ($F_{0,RTS}$) optreedt is het mogelijk al deze individuele ruisbijdragen te superponeren, resulterend in een vermogensspectrum zoals geschetst in figuur 12. Zo zou dan een 1/f spectrum kunnen ontstaan, aldus McWhorter.

Terug naar de tijddomein beschouwing van het basissignaal (het RTS van figuur. 10), waar het ruisspectrum door opgebouwd wordt verondersteld. Het AC-vermogen van zo'n signaal is bij gegeven $F_{0,RTS}$ maximaal als het totaal aantal overgangen per tijdseenheid eveneens maximaal is. Dat zal zo zijn als de gemiddelde 'hoog' en de gemiddelde 'laag' tijd precies aan elkaar gelijk zijn.



Figuur 12. Superpositie van meerdere Random Telegraph Signalen kan een 1/f spectrum teweeg brengen.

Wat gebeurt er nu met McWhorter's ruismodel in de geschakelde toestand? De gemiddelde vulgraad van de ruisende traps neemt af omdat het nog maar gedurende een gedeelte van de totale tijd mogelijk is een elektron in te vangen in een trap. Er van uitgaande dat de gemiddelde 'hoog' en de gemiddelde 'laag' tijd in de steady state aan elkaar gelijk waren, is dat nu niet meer het geval. Het ruisvermogen van het ruisende proces neemt af, en dat is, kwalitatief, ook wat metingen ons laten zien.

Correlatie en geheugen

Los van de vraag of het McWhorter model in dit geval een afdoende beschrijving levert voor de meetresultaten, valt uit te meetresultaten wel het een en ander op te merken omtrent de eigenschappen van het ruisende proces.

Het feit dat de laagfrequente ruis afneemt als je de MOS transistor onder geschakelde omstandigheden bedrijft betekent dat het geheugen van het ruisende proces door het uitschakelen deels gewist wordt. Immers, de Fouriergetransformeerde van het vermogensspectrum is de autocorrelatiefunctie [10]. Een afnemend vermogensspectrum voor lage frequenties betekent dan direct een afgenomen autocorrelatiefunctie voor lange tijdsintervallen. Met andere woorden: het lange-tijd "geheugen" van het ruisende proces neemt af.
We kunnen dus stellen dat door schakelen de toestand van het ruisproces deels gewist wordt en het ruisen weer van voor af aan begint. Dat betekent dat er toestandsvariabelen zijn in het ruisproces die zich laten beïnvloeden door de biascondities van het device. Op zichzelf is dat al een interessante observatie.

5. Conclusies

Hoewel we inmiddels zo ver zijn dat we vast kunnen stellen dat de ruis in de geschakelde toestand sterk afneemt kunnen we nog niet concluderen dat we weten hoe dat komt. Er is er nog veel werk te doen. Enerzijds kan hier gedacht worden aan toepassingen van het effect. Daar wordt behalve aan basisband toepassingen vooral gedacht aan RF toepassingen waar gangbare ruisreductiemethoden niet inzetbaar zijn. Ook leidt de zorgvuldige studie van ruis in de geschakelde toestand tot beter inzicht in schakelingen waar het hier beschreven effect misschien al tijden lang optreedt.

Anderzijds kan er onderzoek gedaan worden naar de oorsprong van de 1/f ruis, waarbij de ruis in de geschakelde toestand als krachtig nieuw analysemiddel gebruikt wordt. Er van uitgaande dat de ruis voornamelijk veroorzaakt wordt door de traps in het oxide volgens het McWhorter model zou de studie van ruis in geschakelde toestand wel eens kunnen helpen bij het karakteriseren van deze traps.

Of het echter mogelijk zal blijken te zijn de 1/f ruis van de MOS transistor met alleen het McWhorter model te beschrijven blijft voorlopig een open vraag.

Referenties

[1] Marvin S. Keshner, 1/f Noise, *Proceedings of the IEEE*, vol. 70, no.3, March 1982.

[2] Arnoud van der Wel, *1/f Noise in switched MOSTs*, M.Sc. thesis, University of Twente, Faculty of Electrical Engineering, August 1997.

[3] M. A. T. Sanduleanu, B. Nauta and H. Wallinga, Low-power, low-voltage chopped transconductance amplifier for noise and offset reduction, *Proc. ESSCIRC '97*, Southampton, UK, Sept. 1997, pp. 204-207.

[4] Robert J. Kansy, Response of a correlated double sampling circuit to 1/f noise, *IEEE journal of solid-state circuits*, vol. SC-15, no.3, June 1980.

[5] I. Bloom and Y. Nemirovsky, 1/f Noise reduction of metal-oxide-semiconductor transistors by cycling from inversion to accumulation, *Applied physics letters* 58 (15) April 1991.

[6] *Science and Citation Index*, Search for references to Bloom, Nemirovsky, Dierickx or Simoen, 1991-1997.

[7] S. L. J. Gierkink, A. v.d. Wel, G. Hoogzaad, E. A. M. Klumperink, A. J. M. van Tuijl, Reduction of the 1/f noise induced phase noise in a CMOS ring oscillator by increasing the amplitude of oscillation, Accepted for publication on *IEEE International Symposium on Circuits and Systems*, Monterey, May 31th- June 2nd, 1998.

[8] Daniel M. Fleetwood , Timothy L. Meisenheimer and John H. Scofield, 1/f Noise and radiation effects in MOS devices, *IEEE transactions on electron devices*, Vol. 41, No. 11, November 1994.

[9] A. L. McWhorter, *Techn. Rept. 80*, MIT Lincoln Lab, May 1955.

[10] A. Bruce Carlson, *Communication Systems*, McGraw-Hill Book Company, 1986. pp. 162.



De auteur

Arnoud van der Wel werd geboren in Bunschoten-Spakenburg op 31 mei 1974. Van 1979 tot 1992 wwonde hij in Tanzania waar hij ook de middelbare school doorliep. In 1992 verhuisde hij naa Enschede om te gaan studeren aan de Universiteit Twente.
Hij studeerde in 1998 af als elektrotechnisch ingenieur. Thans volgt hij een aanvullende opleiding tot leraar. Daarnaast heeft hij een deeltijd aanstelling bij de Universiteit Twente, waar hij betrokken is bij de ontwikkeling van educatieve middelen voor cursussen op het vakgebied van de elektrotechniek.

Voordracht gehouden tijdens de 457e

werkvergadering

MEER DAN 50 JAAR GELEDEN:

DE UITVINDING VAN DE TRANSISTOR

Het is nagenoeg ongemerkt verlopen: de herdenking van het feit dat 50 jaar geleden de transistor werd uitgevonden. Dat is eigenlijk wel merkwaardig, want ontegenzeggelijk heeft die uitvinding met zijn vele toepassingen de maatschappij in al z'n geledingen drastisch veranderd.
In de jaren '30 was men bij de Bell Laboratoria bezig te zoeken naar een nieuwe detectiemethode voor de toen nieuw ontwikkelde systemen voor radiotelefonie. De onderzoekers keerden terug naar het concept van de aloude kristaldetector. Daarbij deed men ook fundamenteel onderzoek naar de eigenschappen van het halfgeleidermateriaal silicium. De resultaten waren een aantal jaren daarna weer van groot belang.
Een terugblik op de eerste jaren van het bestaan van de transistor vonden we in een rede, die 16 december 1997 werd uitgesproken door prof. ir. O.W. Memelink, onder andere oud-voorzitter van het NERG.

TRANSISTOR-MÉMOIRES

Het is vandaag precies 50 jaar geleden, dat Walter Brattain en John Bardeen van Bell Labs de eerste vastestof-versterker tot werking brachten. Het ging om een klein blokje germanium, waarop een plastic driehoekje met één van zijn hoekpunten drukte. Langs twee kanten van de driehoek waren stripjes goudfolie geplakt, die bij de hoekpunt vlak bij elkaar kwamen en stevig op het germanium rustten. De stripjes, evenals het kristalletje waren elektrisch verbonden met een mikrofoon en een luidsprekertje. Brattain schreef in zijn laboratoriumboek:

"This circuit was actually spoken over and by switching the device in and out a distinct gain in speech level could be heard and seen on the scope presentation with no noticeable change in quality."

Het verhaal gaat dat op de avond van die zelfde dag Bardeen thuiskwam en zijn vrouw toesprak met de woorden: "We made an invention today!".
Haar antwoord luidde: "That's nice, dear!"

De vastestof-versterker of "transistor", zoals hij later genoemd werd, kwam zeker niet uit de lucht vallen.
De wens om een vervanger van de elektronenbuis te realiseren leefde reeds zo'n twintig jaar. De vraag was alleen hoe?
In 1945, kort na het einde van de tweede wereldoorlog, gaf Mervin Kelly, vice-president van Bell Labs een "Authorization for work" uit, dat een grootscheeps onderzoek van de toepassing van materialen in nieuwe komponenten voor kommunicatie apparatuur inluidde. De zaken werden zeer grondig aangepakt. Het was bekend dat zg. halfgeleiders potentiële kandidaten voor een vastestof-versterker waren. Selenium en koperoxyde waren de gangbare halfgeleiders uit die tijd, maar men prefereerde germanium en later silicium. Deze stoffen waren veel gemakkelijker te zuiveren en eenkristallijn te maken, een voorwaarde voor goede werking van het gezochte komponent.

Het resultaat van de inspanningen was er dus op die gedenkwaardige dag, 50 jaar geleden. Elektrische stroompjes lieten zich sturen door elektrisch spanninkjes, alles binnen één stukje halfgeleider. In de jaren die volgden bleek dit de basis te zijn voor de hedendaagse computerindustrie.

Aanvankelijk werd de transistor gezien als een vervanger van de elektronenbuis en toepassingen werden gezocht in hoorapparaten en radio's. In December 1954 bracht de firma Texas Instruments de eerste "all-transistor" radio met de naam "Regency" op de markt. De gebruikte transistoren waren niet van het soort dat Brattain en Bardeen in elkaar knutselden. Reeds in 1948 had hun teamleider William Shockley de junktie-transistor uitgevonden. Het betrof een robuust brokje materiaal met drie kontakten, waarbinnen zich de sturende werking van één kontakt op de stroom tussen de twee overige kontakten afspeelde. Mooier dan de junktie-transistor zelf was voor ons wetenschappers misschien wel de fraaie en elegante theorie van zijn werking. Shockley zag zijn werk als een vanzelfsprekende konsekwentie van de "will to think"!

De vijftiger jaren worden, wat de transistor betreft, gekenmerkt door een grenzeloze aktiviteit in de R&D laboratoria van elektronica producenten. Veel wetenschappers experimenteerden met germanium-kristalletjes, die zij bedampten, legeerden en etsten om zo tot de meest wonderlijke schakelelementen te komen. Op landelijk niveau tekende zich specialisaties af. Zo maakte Siemens in Duitsland zich sterk voor silicium vermogensdiodes en -transistoren. Philips ontwikkelde reeksen transistoren voor radio - en later - televisie. Bijzonder succesvol was een type waarvan de produktie, anders dan bij de konkurrenten, in hoge mate gemechaniseerd kon worden, de "pushed-out-base transistor" (tussen twee haakjes: Engelse kollega's wezen ons erop dat de naam associaties met het menselijk zitvlak opriep, reden waarom zij alleen binnen het bedrijf gebezigd werd). De POB-transistor, ontwikkeld op het NatLab in Eindhoven en door Philips Nijmegen in vele uitvoeringen geproduceerd, werd een kommercieel succes.
In Engeland waren meerdere industrieën en gouvernementslaboratoria aktief. Hun bijdragen waren vaak origineel, maar misten dikwijls de aansluiting bij de industriële praktijk. Een belangrijke bijdrage van Britse zijde, die nog steeds toepassing vindt in computersimulaties van transistoren was het "charge-control model". Het was bedacht door Beaufoy en Sparkes van British Telecom.

Al met al moeten we vaststellen dat de werkelijk nieuwe inzichten in de mogelijkheden van halfgeleiders als germanium en vooral ook silicium voor de toepassing in de mikroelektronica steeds in Amerika ontstonden. De grote elektronicabedrijven in West-Europa en Japan bleven "volgers". Aan het einde van de 50-er jaren doet zich een nieuwe "trekker" voor, de firma Fairchild Semiconductor Corporation aan de Westkust van de Verenigde Staten. Zij werd opgericht door een groep onderzoekers, die bij Shockley "het vak" leerden.

U moet weten, dat Shockley in 1955 een eigen firma begonnen was in Mountain View, Californië, niet ver van de plaats waar hij zijn jeugd doorbracht. Met een team van jonge, getalenteerde onderzoekers, legde hij zich toe op de ontwikkeling van een nieuw soort diode, die toepassing moest vinden in telefoonschakelingen. De diode zou gerealiseerd worden in silicium, een stof die moeilijker te bewerken was dan germanium, maar anderzijds een betere kwaliteit van het eindprodukt toeliet. Het team van Shockley, waartoe ook de latere oprichters van Intel, Gordon Moore en Robert Noyce behoorden, stak veel werk in nieuwe silicium-technologie. Na een, twee jaar werken werd duidelijk dat de markt voor de telefonie-diode kleiner was dan voorzien en de realisatie van de diode zeer moeilijk was. De leden van het team stelden Shockley voor de aandacht van de club op een nieuw type silicium transistor te koncentreren. Daar was een goede reden voor. Sinds in oktober 1957 de Sputnik door de Sowjet Unie gelanceerd was, bestond van de zijde van het militaire establishment grote belangstelling voor robuuste en betrouwbare transistoren. Het was dit soort produkten, dat de jongens van Shockley voor ogen stond, toen zij te kennen gaven de firma Fairchild te starten. Shockley, zeer in zijn wiek geschoten, sprak van de "Eight Traitors"!

Fairchild Camera and Instrument Corporation gaf de acht mannen de gelegenheid een halfgeleider-laboratorium volgens de nieuwste inzichten in te richten, dat in september 1957 startte. Binnen een tijdsbestek van twee, drie jaar produceerde dit team een aantal wezenlijke ontwikkelingen, waarvan de belangrijkste de geïntegreerde schakeling was.

De eerlijkheid gebiedt mij u te vertellen, dat de geïntegreerde schakeling niet alleen door Noyce, maar ook door Jack Kilby van Texas Instruments is uitgevonden. Kilby diende zijn oktrooi-aanvraag zelfs een half jaar eerder in dan Noyce. Het voert te ver om de verschillen in aanpak van de twee uitvinders te beschrijven, maar de voorkeur van het PatentOffice ging tenslotte uit naar de benadering van Noyce, dus hij kreeg de patentrechten. De namen van beide mannen zijn vereeuwigd in de National Inventor's

Hall of Fame in Washington.

Terugkerend naar Fairchild signaleren we een herhaling van de gebeurtenissen, die zich tien jaar eerder rond Bell Labs voordeden. Weer was er sprake van één onderzoekgroep die tal van nieuwe ideeën van grote reikwijdte lanceerde. Het verschil was echter dat waar eind 40-er jaren de vondsten van Bell Labs aarzelend werden opgenomen door de vakwereld, omdat men er in feite "nog niet aan toe was", nu de nieuwtjes op konferenties, bezoeken en zo meer doorverteld werden en "thuis" onmiddellijk getoetst werden.

De tijd is verder gegaan en geïntegreerde schakelingen werden de bouwstenen van onze informatie-maatschappij. Heel veel onderzoekers, technici en anderen droegen hier hun steentje aan bij. Velen verlieten ons reeds, zonder deze bijzondere dag mee te kunnen maken en voor één van hen vraag ik uw aandacht. Het is Bob Noyce, mede-oprichter van Intel. Ik heb hem nooit ontmoet, maar het moet een man geweest zijn om van te houden. Van Vessem, gewezen direktielid van Philips Nijmegen, vertelde mij eens een aardig voorval met betrekking tot Noyce. Eind zestiger jaren bracht hij een bezoek aan Intel in de dagen dat zij als eerste firma het "one kilo bit RAM" geheugen begon te maken. Ik citeer van Vessem:

"Het lukte ons absoluut niet zo'n geheugen te maken en ik besloot weer eens langs Bob Noyce te gaan om te zien hoe de zaken liepen. Hij liet mij van alles zien, 'grote' plakken van 2,5 cm, meisjes die bezig waren met monteren, enthousiast verhaal erbij. Ik was echt wel onder de indruk. Toen nodigde hij mij uit bij hem thuis te komen eten. Hij was toen nog met zijn eerste vrouw Betty getrouwd en we zitten een borrel te drinken en daar komt Bob's dochter Tanny binnen. Bob was in een goed humeur, hij straalde. Tanny kijkt hem aan en zegt: "Daddy, did you make another good chip today?" en dat was de 1k RAM. We hebben wel hard gelachen!"

Noyce stierf in 1990, 62 jaar oud.

O.W. Memelink

N.B. Meer informatie over het 50-jarig bestaan van de transistor kunt u vinden op de Internet-page: http://www.lucent.com.ideas2/heritage/transistor/ (Red)

ELSE KOOI PRIJS 1997 VOOR MICRO-ELEKTRONICA-ONDERZOEKER JACK GLAS



Op vrijdag 20 november 1997 werd de jaarlijkse Else Kooi Prijs uitgereikt. De prijs op het gebied van toegepast halfgeleideronderzoek en de ontwerpkunde van geïntegreerde circuits ging vorig jaar naar dr.ir. P.F. Glas, onderzoeker aan de Bell-Laboratoria in Murray Hill in de Amerikaanse staat New Jersey. Aan de prijs was een vrij te besteden bedrag van 10.000 gulden verbonden, een oorkonde en een kunstwerk. Deze werden tijdens de workshop Circuits, Systems and Signal Processing in Conferentiecentrum De Brug in Mierlo uitgereikt. De workshop werd georganiseerd door ProRISC, een platform voor onderzoekers en gebruikers in de micro-elektronica. ProRISC ressorteert onder de Technologiestichting STW.

Jack Glas (Nieuw Vennep, 1969) kreeg de Else Kooi-prijs voor zijn grondige kennis van zowel de architectuur van communicatiesystemen als van de opties voor haalbare hardware en software. Dit heeft hem in staat gesteld een 'embedded realisatie van een geoptimaliseerde systeemarchitectuur' te ontwerpen, zoals het juryrapport memoreert. Daarmee heeft Glas getoond brede kennis creatief in te kunnen zetten, waarbij hij de economische, industriële en ergonomische randvoorwaarden niet uit het oog verloor.

Onderzoeker Glas studeerde elektrotechniek aan de Technische Universiteit Delft, waar hij in 1992 *cum laude* afstudeerde. Hij promoveerde in december 1996 op een onderzoek op het gebied van non-cellulaire draadloze communicatiesystemen. Sinds februari 1997 werkt hij bij de technische staf van Bell Laboratories, waar hij onderzoek verricht op het gebied van mobiele communicatiesystemen.

De Else Kooi-prijs werd vier jaar geleden speciaal ingesteld voor veelbelovende studenten, promovendi en jonge onderzoekers aan universiteiten en publieke onderzoeksinstituten in Nederland. Met de prijs beoogt de Stichting Else Kooi Prijs de kennis en creativiteit op het gebied van de micro-elektronica in Nederland te versterken.

Tijdens de tweedaagse workshop ProRISC (Program for Research on Integrated Systems and Circuits) op 27 en 28 november 1997 , bespraken onderzoekers en gebruikers uit de Benelux-landen de nieuwste wetenschappelijke ontwikkelingen op het gebied van micro-elektronische onderwerpen en signaal-verwerking voor audio-, video- en spraakdoeleinden. Doel van deze workshops is jonge en gevorderde onderzoekers uit de universiteiten, instituten en de industrie bij elkaar te brengen.

APPLICATIONS OF SINGLE-ELECTRON TRANSISTORS

José Camargo da Costa, Martijn Goossens, Chris Verhoeven and Arthur van Roermund

Abstract

According to recent studies, the basic technologies presently adopted by the semiconductor industry for memory and processor fabrication should attain the limits imposed by the laws of Physics around the year 2010. Nanoscale sized devices like single-electron transistors appear as a highly promising option to replace conventional devices by that time. In this study, possible applications of single-electron transistors and how their identification could be used for novel nanotechnology and circuit design developments are discussed.

1. Introduction

The evolution of the semiconductor industry, as predicted by the S.I.A. roadmaps [1], shall lead to transistor's minimum feature sizes below 0.07 micron by the year 2010. A serious questioning appear when further reductions on device's dimensions are considered. At smaller dimensions the device's behavior is ruled by quantum mechanics [2], which can result in modifications of its electrical characteristics. Besides that, the power dissipated by these ULSI transistors is too high to allow the realization of integrated circuits with about 1011 devices per cm^2 [3]. Other relevant limiting factors are: High electric fields that can cause device breakdown, vanishing bulk properties and doping nonuniformities, shrinkage of depletion regions leading to short circuits due to tunneling between source and drain regions, shrinkage and unevenness of gates oxides leading to leakage and premature breakdown of these dielectrics [4].

The expected figures for 2010, like device densities of 64 G per DRAM chip (800 M for microcomputer) a power dissipation of 180 W per chip (1400 mm^2 with a heatsink), with a 0.9 V power supply, and a maximum clock rate of 1100 MHz, may be not too far from the achievable limit. In fact, the predicted clock rate increase and supply voltage reduction factors in the period 1998 - 2010 are less than 3, while the memory density increase factor is around 250. The power dissipation increase factor is even smaller, only 1.8 for the same period [5].

Factors like the disturbance of device behavior due to second-order effects [6], the signal delays due to the interconnecting lines and the heat transfer limitations of the integrated circuits seem to be responsible for that situation. Additionally, for features sizes below 0.07 micron, the devices' behavior is influenced, and sometimes determined, by the already mentioned quantum mechanical effects.

As a result, the maintenance of the same evolution rate for the following decade (2010-2020), does not appear to be achievable with the simple development of today's major technologies and devices.

Nanoscale sized devices [4] may become an extremely attractive option for the development of integrated circuits with dimensions and performance limits well beyond the ultimate roadmap projections.

Among these devices, single-electron transistors [7], [3] present as attractive features an extremely low power consumption, reduced dimensions, excellent current control and low noise behavior. Besides that, the recent demonstration of silicon-based single-electron transistors operating at room temperature [8], indicates that the transition from micrometric to nanometric technologies may occur without discontinuities .

The question we explore in this study is about some possible applications of these new devices, and how the identification of applications could be useful for the further development of nanometric technologies and also of novel circuit design approaches.

2. Single-electron transistors

Nanometer-scale electronic or nanoelectronic devices are new devices, whose operation is based upon quantum mechanical phenomena, which can involve the discreteness of electrons [4]. In such devices an output transition can take place with the transport of even a single electronic charge across them, in comparison with the thousands (or much more)of electrons involved in a similar operation on state of the art field-effect transistors.

Single-electron devices, like other nanoelectronic devices [4] possess a small "island", made of semiconductor or metal, in which the electrons may be confined. The island assumes a role analogous to the channel in a field-effect transistor. Presently the smallest dimension of the island in these devices ranges between 5 and 100 nm. In devices such as the single-electron transistor (SET), the individual flow of electrons to and from the island can be controlled by a third electrode capacitively coupled to the island [7].

Besides this distinctive feature, other aspects concerning these devices should also be considered: They can be operated with bias supply voltages at mV (milliVolt) levels [7]; their charge sensitivity is two orders of magnitude smaller than that of a FET transistor [3], [9]; SET transistors with individual dimensions compatible with 64 GB memory circuits [10] have already been demonstrated [11], [12]; the ultimate estimated speed performance, taking into account interconnect capacitance effects, is around 1 THz [13] even though the estimation for logic gate delay is not smaller than 0.7 ps [14] with today's technologies.

When the realization of integrated circuits with more than 10^{11} devices per cm^2 is considered, the SET transistors, with an individual power consumption inferior to 10^{-9} W [14]are also quite suitable.

The operation of the SET transistor is based upon the controlled flow of charge to and from the island, via two tunneling junctions. To avoid thermally induced charge transfers, the island capacitance must be very small (if room temperature operation is expected, a value of around 0.1 aF is required, which corresponds to island diameters around 1 nm [3]). Recently some examples of Si-based room temperature operated SET transistors and memory devices have been presented [15], [16], [11], [17], [18]. A silicon-based SET technology should be much easier adaptable to the existing conventional technological procedures allowing a faster transition towards nanoelectronic integrated circuits with gigascale (and even terascale) integration capabilities.

The major drawbacks presented by single-electron transistors are: Offset charge noise, due to ramdomly distributed background charges and their fluctuations [19], [20]; limited fan in (< 10) and fan out (< 3) in present day devices; a lack of significant voltage gain, even though current gain is easy to obtain [13]; high output RC time constant, due to the device's intrinsically high output resistance and to the interconnect capacitances [21]. Future SET circuit implementations must take these features also into account.

3. Applications

The remarkable current control capabilities of single-electron transistors make them suitable for metric (metrological) applications like current standards and supersensitive electrometers [7]; capacitance standard [22]. Applications like infrared radiation detectors [7]; microwave detectors [23], [24]; individual charge imaging [25]; subatomic particle characterization [26] have also been proposed.

The low power-low voltage operation features of these devices, allied to their reduced dimensions and to their intrinsically quantum mechanical ruled behavior, should make them extremely attractive for computational applications and several different approaches to do so have already been tried [27]. Even though encouraging results had been attained for memory structures [28] no complete demonstration of a processing unit using SET transistors has been made yet.

The lack of completely developed circuit demonstrators is certainly due to the actual development of nanoelectronic technologies which its yield, reproducibility and reliability problems, as well as nanoscale patterning and interconnect challenges to overcome. Nevertheless several diflferent approaches are been presently studied and promising solutions are more often been reported [28], [29].

The reflection we intend to develop in this section considers the situation beyond the roadmap estimation, i.e., when conventional devices would have attained their theoretical dimensional limits, and as a result the adoption of other kind of devices would be imperative to attain even higher degrees of integration. Novel circuit paradigms, able to cope with the devices' features would also be needed.We suppose here that room temperature, silicon-based single electron transistors will be available for industrial application well before 2010.

When single-electron transistors are considered as a suitable replacement for conventional devices in

data processing applications, attention shall be paid to the offset charge fluctuations and eventually to microwave noise [19], [30]. These features and the complexity associated with a 10^{12} device system and the optimization of its processing capabilities, would lead to abandoning von Neumann-like architectures and Boolean operating units in favor of parallel distributed networks, such as neural nets.

The adoption of the neural network approach has the following advantages: These structures are more robust against local fluctuations of cells' outputs or parameters; their parallel distributed architecture can tackle interconnect delays by local information processing; a neuron and a synapse, each one constituted by only one single-electron transistor had already been proposed [31], allowing the realization of networks with an extremely high number of processing elements. Offset-charge fluctuations might be treated by a conveniently designed learning algorithm [32], capable of introducing weight compensations whenever their effects were detected.

A basic cell for such a network would comprise a synapse (with an associated weight memory unit) and a neuron. The adopted interconnecting scheme should consider the fan in and fan out limitations,as well as the interconnection time delays, and as a result an hierarchical, cellular approach should be recommended, with local processing and decision capabilities.

The overall processor architecture would comprise:A nanoeletronic analog neural core processor (constituted by single- electron transistor based cells) with 10^{12} processing elements; a control processor with conventional ULSI devices; I/O units and internal interfacing facilities compatible with the neural network organization and with multiplexing facilities. The core processor would be responsible for the main data processing tasks, while the control processor would execute the learning algorithm and communications and control tasks.

This arrangement combines the massive processing capabilities of a nanoelectronic neural network with the robustness of a conventional processor, to realize a hybrid structure that can constitute a new paradigm for processors beyond 2010. It would be robust against device's characteristics fluctuations; its power consumption would satisfy industry's specifications; its basic functions would be implemented with simple structures (single devices); it is potentially much faster than conventional processors, due to its parallel structure and rather fast devices. With such a powerful system, not only pattern recognition and classifying tasks will be easily carried out but also data processing in general.

Of course several topological and technological questions, concerning the system's architecture, its interconnection scheme, its learning algorithm, its fault detection and correcting schemes, device and circuit realization, circuit and system testing must be completely developed yet. The significant growth of the R&D activities in nanoelectronic technology and circuits [33], [34], [35], [36] reinforce our assumption that most of these questions will be answered in the next decade.

If in the future a technological or circuit-level solution against offset charge fluctuations and microwave noise [30] will be obtained, then many other potential applications for single-electron transistors may be considered, like for example, miniature low power circuits such as biomedical invasive probers; autonomous smart sensors and low power high speed data processing/communication systems.

Another aspect that must not be neglected is that the performances of these novel realizations need to be estimated and compared to conventional ones in order to de termine their effective potentialities. Besides that, the devices and circuit requirements for the next decades should be at least evaluated now and used as indications for process technology and circuit design developments.

4. Conclusion

In this work a brief review of present applications of single-electron transistors and some considerations about their use on ULSI applications (beyond those stated by industry's roadmaps) have been presented. A tentative proposal of a new general purpose processor paradigm, based upon a teradevice neural core has been advanced. Some prospective miniature low power applications of SET transistors were also presented. Further studies concerning topological, architectural and functional aspects (besides the indispensable technological advances to assure reliable room temperature operation of these devices), are still required before these concepts could be physically explored.

Aknowledgements

The authors are grateful to Jaap Hoekstra for the productive discussions and suggestions. José Camargo da Costa would like to express his gratitude to CAPES, MEC, Brasil and Universidade de Brasilia, Brasilia, DF, Brasil for their support.

References

[1] Semiconductor Industry Association, *The National Roadrnap for Semiconductors*, 1994.

[2] L. Risch, "Nanoelectronics: the key technology of the 21st century," *Siemens-Review R&D Special*, pp. 32-35, Spring 1996.

[3] H.Ahmed and K.Nakazato, "Single-electron devices," *Microelectronic Engineering*, vol. 32, no. 1-4, pp. 297-315, September 1996.

[4] D. Goldhaber-Gordon, M.S. Montemerlo, J.C. Love, G.J. Opiteck, and J.C. Ellenbogen, "Overview of nanoelectronic devices," *Proceedings of the IEEE*, vol. 85, no. 4, pp. 521-540, April 1997.

[5] I,.Baldi, "Industry roadmaps: The challenge of complexity," *Microelectronic Engineering*, vol. 34, no. 1, pp. 9-26, December 1996.

[6] J.D. Meindl, "Gigascale integration: Is the sky the limit?," *IEEE Circuits and Devices Magazine*, vol. 12, no. 6, pp. 19-24, November 1996.

[7] H. Grabert and M. Devoret, Eds., *Single Charge Tunneling, Coulomb Blockade Phenomena in Nanostructures*, vol.294 of NATO ASI Series B: Physics. Plenum Press, New York, 1992.

[8] Y. Takahashi, M. Nagase, H. Namatsu, K. Kurihara, K. Iwdate, Y. Nakajima, S. Horiguchi, K. Murase, and M. Tabe, "Fabrication technique for single-electron transistor operating at room temperature," Electronics Letters, vol. 31, no. 2, pp. 136-137, January 1995.

[9] E.H. Visscher, S.M. Verbrugh, J. Lindernan, P. Hadley, and J.E. Mooij, "Fabrication of multilayer single-electron tunnelling devices," *Applied Physics Letters*, vol. 66, no. 3, pp. 305-307, January 1995.

[10] K. Itoh, Y. Nakagome, and S. Kimura, T. Watanabe, "Limitations and challenges of multigigabit dram chip design," *IEEE Journal of Solid State Circuits*, vol. 32, no. 5, pp. 624-634, May 1997.

[11] A. Nakajima, T. Futatsugi, K. Kosemura, T. Fukano, and N. Yokoyarna, "Room temperature operation of Si single-electron memory with self-aligned floating dot gate," *Applied Physics Letters*, vol. 70, no. 13, pp. 1742-1744, March 1997.

[12] Y. Takahasili, H. Namatsu, K. Kurihara, K. Iwadate, and K. Murase, "Size dependence of the characteristics of Si single-electron transistors on simox substrates," *IEEE Transactions on Electron Devices*, vol. 43, no. 8, pp. 1213-1217, August 1996.

[13] M.I. Lutwyche and Y. Wada, "Estimate of the ultimate performance of the single-electron transistor," *Journal of Applied Physics*, vol. 75, no. 7, pp. 3654-3661, April 1994.

[14] R.H. Chen, A.N. Korotkov, and K.K. I,ikharev, "Single-electron transistor logic," *Applied Physics Letters*, vol. 68, no. 14, pp. 1954-1956, April 1996.

[15] Y. Takahashi, A. Fujiwara, M. Nagase, H. Namatsu, K. Kurihara, K. Iwadate, and K. Murase, "Si single-electron transistors on simox substrates," *IEICE Transactions on Electronics*, vol. E79-C, no. 11, pp. 1503-1508, November 1996.

[16] K. Matsumoto, "Room temperature operated single electron transistor by stm nano-oxidation process: fabrication process and electrical properties," *IEICE Transactions on Electronics*, vol. E79-C, no. 11, pp. 1509-1514, November 1996.

[17] I,.J. Guo, E. Leobandung, and S.Y. Chou, "A silicon single-electron transistor memory operating at room temperature," *Science*, vol. 275, no. 5300, pp. 649-651, January 1997.

[18] K. Kurihara, H. Narnatsu, M. Nagase, and T. Makino, "Room temperature operated single electron transistor fabricated by electron beam nanolithography," *Microelectronic Engineering*, vol. 35, no. 1-4, pp. 261-264, February 1997.

[19] H. Wolf, F.J. Ahlers, J. Niemeyer, II. Scherer, T. Weimann, A. B. Zorin, V.A. Krupenin, S.V. Lotkhov, and D.E. Presnov, "Investigation of the offset charge noise in single electron tunneling devices," *IEEE Transactions on Instrumentation and Measurements*, vol. 46, no. 2, pp. 303-306, April 1997.

[20] A.B. Zorin, F.J. Ahlers, J. Niemeyer, T.Weimann, H. Wolf, V.A. Krupenin, and S.V. Lotkhov, "Background charge noise in metallic single-electron tunneling devices," *Physical Review B*, vol. 53, no. 20, pp. 13682-13687, May 1996.

[21] J. Pettersson, P. Wahlgren, P. Delsing, D.B. Haviland, and T. Claeson, "Extending the high-frequency limit of a single-electron transistor by on-chip irnpedance transformation," *Physical Review B*, vol. 53, no. 20, pp. 13272-13274, May 1996.

[22 M.W. Keller, J.M. Martinis, N.M. Zirnmerman, and A.H. Steinbach, "Accuracy of electron counting using a 7-junction electron pump," *Applied Physics Letters*, vol. 69, no. 12, pp. 1804-1806, 1996.

[23] E. H . Visscher, *Technology and applications of simple-electron tunneling devices*, Ph.D. thesis, Delft University of Technology, 1996.

[24] J.M. Hergenrother, J.G. Lu, and M. Tinkham, "The single-electron transistor as an ultrasensitive microwave detector," *IEEE Transactions on Applied Superconductivity*, vol. 5, no. 2, pp. 2604-2607, 1995.

[25] M.J. Yoo, T.A. Fulton, H.F. Hess, R.L. Willet, L.N. Dunkleberger, R.J. Chichester, L.N. Pfeiffer, and K.W. West, "Scanning single-electron transistor microscopy: irnaging individual charges," *Science*, vol. 276, pp. 579-582, 1997.

[26] V. Bouchiat, G. Chardin, M.H. Devoret, and D. Esteve, "Measurement method of the antiproton gravitational rnass using the single electron transistor," *Hyperfine Interactions*, vol. 109, no. 1-4, pp. 345-355, 1997.

[27] P. Hadley, "Set logic," in *Proceedings of the Second Workshop on Innovative Circuits and Systems for Nano Electronics*, Delft, The Netherlands, 1997, pp. 5-7, TU-Delft, Faculty of Electrical Engineering.

[28] K. Yano, T. Ishii, T. Sano, T. Mine, F. Murai, and K. Seki, "Single-electron-memory integrated circuit for giga-to-tera bit storage," in *Proceedings of the IEEE International Solid-State Circuits Conference*. 1996, pp. 266-261, IEEE Press.

[29] H. Ahmed, "Nanostructure fabrication," *Proceedings of the IEEE*, vol. 79, no. 8, pp. 1140-1148, 1991.

[30] A. Fukushima, A. Sato, A. Iwasa, Y. Nakamura, T. Komatsuzaki, and Y. Sakamoto, "Attenuation of microwave filters for single-electron tunneling experiments," *IEEE Transactions on Instrumentation and Measurement*, vol. 46, no. 2, pp. 289-293, 1997.

[31] M.J. Goossens, C.J.M. Verhoeven, and A.H.M. van Roermund, "Single electron tunneling technology for neural networks," in *Proceedings of the Fifth International Conference on Micro-electronics for Neural Networks and Fuzzy Systems*, EPFL,Lausanne,Switzerland, 1996, pp. 25-130.

[32] M.J. Goossens, C.J.M. Verhoeven, and A.H.M. van Roermund, "Neural networks with periodical single-electron tunneling transistors," in *Procedures of the European Conference on Circuit Theory and Design - ECCTD 97*, Budapest, Hungary, 1997.

[33] S. Matsui, "Nanostructure fabrication using electron beam and its application to nanometer devices," *Proceedings of the IEEE*, vol. 85, no. 4, pp. 629-643, 1997.

[34] K. Matsumoto, "Stm/afm nano-oxidation process to roomtemperature-operated single-electron transistor and other devices," *Proceedings of the IEEE*, vol. 85, no. 4, pp. 612428,

[35] K.F.Goser, C. Pacha, A. Kanstein, and M.L. Rossmann, "Aspects of systems and circuits for nanoelectronics," *Proceedings of the IEEE*, vol. 85, no. 4, pp. 558-573, 1997.

[36] C.S. Lent and P.D. Tougaw, "A device architecture for computing with quantum dots," *Proceedings of the IEEE*, vol. 85, no. 4, pp. 541-557, 1997.

Tbe authors are with the Electronics Research Lab, Delft University of Technology, Delft, The Netherlands. Email:josec@duteela.et.tudelft.nl .

J. Camargo da Costa is on leave from Department of Electrical Engineering, Universidade de Brasilia, Brasilia, DF, Brasil

Paper presented at the 8th Annual ProRISC Workshop on Circuits, Systems and Signal Processing November 1997, The Netherlands

Oproep aan de leden van het NERG

De redactie zoekt enige leden die willen meewerken aan de verdere verbetering van dit Tijdschrift. Het doel is enerzijds om de huidige redactie enigszins te ontlasten en anderzijds nieuwe activiteiten te gaan uitvoeren. Wij zoeken daartoe mensen die bereid en in staat zijn om:

- een kort verslag te schrijven van het verloop van een werkvergadering
- een interview af te nemen bij een wetenschappelijk onderzoeker
- een kort artikel te schrijven op basis van beschikbaar basismateriaal
- in elektronische vorm de lay-out te verrzorgen van aangeleverde copy.

De gevraagde medewerkers zullen als correspondent worden toegevoegd aan de redactiecommissie.

Profiel van de correspondent:

- zij/hij voelt zich betrokken bij de activiteiten van het NERG
- bekend met elektronische tekstverwerking en beschikkend over een pc
- bereid om enige tijd te besteden aan het Tijdschrift van het NERG; dit is uiteraard in overleg te regelen.

Geïnteresseerden kunnen zich in verbinding stellen met de redactiecommissie:

Ir. L.K. Regenbogen tel. 015 2786207

Dr. Ir. A.B. Smolders tel. 0521 595144
e-mail: Smolders@nfra.nl

Ing. A.A. Spanjersberg tel. 0343 531273
e-mail: aaspan@worldaccess.nl
of schriftelijk:
Park Sparrendaal 54
3971 SM DRIEBERGEN

Terzijde.

Het is toch wel merkwaardig dat het 50-jarig bestaan van de transistor voor de meesten van ons ongemerkt is voorbijgegaan. Zou het komen omdat men het niet een echte uitvinding vond of achtte men het feit niet belangrijk genoeg? Beide argumenten lijken mij niet aan de orde. Het is al vaak gezegd: sinds de uitvinding van de puntcontact transistor is er sprake van een verbazingwekkende ontwikkeling. In feite is de transistor zo ver ontwikkeld dat die aan het gezichtsveld is onttrokken, maar toch overal aanwezig is. De kostprijs van de eerste transistoren lag tussen \$ 5 en \$ 45 per stuk. De huidige kostprijs ligt ruim een faktor 10^{7} lager. Dat lijkt toch eens te meer een bewijs van een succesvolle ontwikkeling !
Het zou mijns inziens zeker niet misstaan hebben, wanneer er ook in de media voor het grotere publiek aandacht zou zijn geschonken aan de maatschappelijke veranderingen die hebben plaatsgevonden als gevolg van de uitvinding van de transistor. Er is nauwelijks een deelgebied van het maatschappelijk gebeuren denkbaar waar die invloed niet aanwijsbaar is.
Laten wij dan vaststellen dat er toch een mijlpaal is bereikt; daarbij kan men niet om de vraag heen hoe de toekomst er zal gaan uitzien. Wanneer men de technologische ontwikkelingen beschouwt, worden de contouren daarvan nu reeds aangegeven. Zo zal aan geïnteresseerde lezer van dit blad het artikel "Applications of single-electron transistors" zeker niet ontgaan. Bij enig nadenken hierover, komen er wellicht toch veel vragen naar boven. Allereerst kan men zich afvragen of hiermee nu de werkelijke grenzen van de technologie in zicht zijn. Vervolgens: waar gaat die verdere ontwikkeling toe leiden ? Als gebruiker van een thuiscomputer en *'sideliner'* ben ik geneigd te denken, dat de ontwikkelingen in de hardware eigenlijk gelijke tred zouden moeten houden met die in de gebruikerssoftware. Nu al is het zo, dat veel mensen de bediening van de apparatuur zo ingewikkeld vinden, dat ze slechts een klein deel van de aanwezige mogelijkheden benutten, zo ze al de moeite nemen om een eerste stap te nemen. Men zou zich daarom de vraag kunnen stellen wáár de werkelijke uitdaging voor de verdere ontwikkeling van de computertechnologie ligt. Mogen we verwachten dat als er op de scholen les wordt gegeven in het gebruik van de computer, de gesignaleerde problemen in de toekomst niet aan de orde zullen zijn ?
Er zijn hiermee vragen opgeworpen, waaraan we naar mijn mening in het NERG niet voorbij mogen gaan. Maar ik realiseer mij dat deze uitspraak aanleiding kan zijn voor discussie en die is wat mij betreft hiermee geopend.

Sideliner

LEDENMUTATIES

Voorgestelde leden:

ir. M.J. Arts	Eemster 30	7991 PT	Dwingeloo
ing. A. de Bruin	Westwaarts 38	2711 AC	Zoetermeer

Nieuwe leden:

prof.ir. H. Wallinga	Vaarwerkhorst 65	7531 HL	Enschede

Nieuwe adressen van leden:

ir. W. van der Bijl	Keizerskroon 14	2631 VX	Nootdorp	
ir. A.J.G. Dorgelo	Vlierlaan 11	3735 KT	Bosch en Duin	
ir. L.J.M. Esser	Mahonia 18	5552 MA	Valkenswaard	
ir. M.P. Lubbers	Varenlaan 181	3852 CR	Ermelo	
ir. F. Muller	5, Rue de le Plaine	78910	Orgerus	Frankrijk
ir. R. Otte	Lei 113	5501 WT	Veldhoven	
ir. B.J.C. Souren	Vest 106	3311 TX	Dordrecht	
ir. A. van Staveren	Dorpsstraat 30	2391 BG	Hazerswoude-Dorp	
ir. J. Tol	Diamantstraat 3A	2275	Wechelderzande	Belgium
ir. M.J.J. Valkering	Zevenhuizerlaan 55	1851 MS	Heiloo	
ing. C.P.M. Willems	Kampakker 31	4847 SB	Teteringen	
ir. R.W.B. Wissing	Jan v. Goyenstr. 27	2101 CA	Heemstede	

MICRO- and NANO-ENGINEERING 98

September 22-24, 1998 / Leuven, Belgium

PREFACE

MNE, MICRO- and NANO-ENGINEERING (formerly ME, Microcircuit Engineering) is the premier international conference on micro and nanofabrication using lithography and related techniques. The aim of the conference is to bring together engineers and scientists from all over the world in the field of fabrication and application of Micro- and Nanostructures to discuss recent progress and future trends.

It will be the 24th in a series that started in Cambridge in 1975, followed by meetings in Aachen, Paris, Cambridge, Amsterdam, Lausanne, Grenoble, Berlin, Rotterdam, Interlaken, Vienna, Leuven, Rome, Erlangen, Maastricht, Davos, Aix-en-Provence, Glasgow and Athens.

MNE 98 will be held in Leuven, Belgium, one of Europe's oldest and most beautiful university towns.

The conference program will feauture plenary invited presentations by a number of internationally recognized authors, contributed papers, a poster session and a commercial session.
The conference will be organized during the week following the Fourth International Symposium on 193nm Lithography (Telft, Tyrol, Austria, 14-17 Sept. 1998), allowing overseas travellers to attend both conferences.

INTERNATIONAL STEERING COMMITTEE

M. Hatzakis, NCSR Demokritos, Greece
S.P. Beaumont, University of Glasgow, UK
W. Fallmann, Techn. Universität Wien
D. Kern, Universität Tübingen
H. W. Lehmann, Paul Scherrer Inst. Zürich, Switzerland
S. Namba, Japan
A. Paoletti, University of Rome, Italy
J. Perrocheau, ELISA, France
S. Radelaar Delft Univ. of Technology, The Netherlands
L. Van den hove, IMEC, Belgium

DEADLINE FOR SUBMISSION OF ABSTRACTS

JUNE 8, 1998

ORGANISING COMMITTEE

L. Van den hove, Conference Chairman
M. Van Rossum, Program Chairman
K. Ronse, Program Co-chairman
A. Distelmans, Secretary

SCOPE OF THE CONFERENCE

- **OPTICAL LITHOGRAPHY**: UV, deep UV, optical modelling and simulation, phase shift mask technology, off-axis illumination, optical proximity correction, holographic methods, laser beam lithography, alignment schemes...

- **ELECTRON BEAM LITHOGRAPHY**: Electron optics, system design, low energy systems, modelling, simulation, proximity correction...

- **X-RAY LITHOGRAPHY**: Sources, X-Ray optics, X-Ray lithographic systems, extreme UV lithography, mask fabrication, precision alignment procedures...

- **ION BEAM LITHOGRAPHY**: Ion sources, ion optics, ion beam lithographic systems, mask fabrication, modelling, simulation...

- **RESISTS**: New materials, surface imaging, multilayer and inorganic resists, self developing, dry processes, chemical amplification, applications, processing, characterisation, modelling of exposure and development, anti reflective coatings,...

- **PATTERN TRANSFER**: Dry etching with new (e.g. inductive, ECR...) and classic (e.g. RIE...) plasma sources, beam assisted etching and deposition, lift-off techniques, local implantation, sputtering, modelling of plasma processes, control of plasma reactors, dry etch damage...

- **MICRO SYSTEM FABRICATION**: Surface and bulk micro-machining, lithography and new patterning concepts, electroplating, and other micro fabrication methods, new equipment associated with micro system...

- **NANOSCALE ENGINEERING, FABRICATION AND DEVICES**: Physics, limits of miniaturisation, nano-mechanics, artificial nanostructures, characterisation and applications of nanodevices...

- **MEASUREMENT, TESTING AND REPAIR**: Metrology, inspection and repair of masks and circuits, in situ measurements, on line and off line controls...

MAILING ADDRESS FOR ABSTRACTS

MNE98
c/o Timshel Conference Services
Roeselveld 7
B-3020 Herent
Belgium
e-mail : info@timshell.be

Cursus aankondigingen

PATO

- Paralle programming and JAVA (TM)
  11-12 mei 1998 in Enschede

- Hergebruik van materialen
  28-29 mei 1998 in Utrecht

- Signaalpropagatie op IC's, MCM's en PCB's
  3 dagen in mei/juni 1998 in Delft

- Landmobiele radiosystemen
  18-19 en 25-26 juni 1998 in Eindhoven

Contactadres:
Stichting PATO
Postbus 30424, 2500 GK Den Haag
tel.: 070 36 44 957 fax: 070 35 62 722
e-mail: info@pato.nl http://www.pato.nl

EUROPRACTICE
Course Provider, Lausanne, Zwitserland

- Low-voltage, low-power analog CMOS IC design . 22-26 juni 1998

- RF IC design for wireless communication systems . 29 juni- 3 juli 1998

- PLL's oscillators & frequency synthesizers
  24-26 juni 1998

- Delta-sigma data converters
  29 juni - 2 juli 1998

- Advanced CMOS & BiCMOS IC design '98
  24 augustus - 11 september 1998

- High-speed data converters
  5-9 oktober 1998

- Deep submicron: modeling & simulation
  12-15 oktober 1998

Contactadres:
V. Valence, EPFL-LEG
EL-Ecubiens, CH-1015 Lausanne, Switserland
Phone:: +41 21 695 2222
Fax: +41 21 695 2220
E-mail: valence@mead.ch

Call for papers

3rd International Conference and Exhibition on Satellite Communications ICSC '98
22-25 september in Moskou

Contactadres:
dr. Henrich Lantsberg Co-chair
Mokhovaya Str.11, 103907, Moscow, Russia
Phone: 7(095)203-4985
fax: 7(095)203-8414
Email: h.lantsberg@ieee.org